

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-175029

(43)Date of publication of application : 21.06.2002

(51)Int.Cl.

G09F 9/30  
H01L 21/20  
H01L 21/336  
H01L 27/08  
H01L 29/786  
H05B 33/14

(21)Application number : 2001-279802

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 14.09.2001

(72)Inventor : ANZAI KATSUYA  
FURUMIYA NAOAKI

(30)Priority

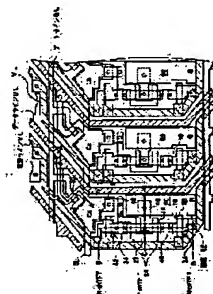
Priority number : 2000300982 Priority date : 29.09.2000 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce variation of a current to be supplied to a plurality of organic EL elements.

SOLUTION: An element drive TFT 20 for controlling a current value to be supplied from a power supply line VL is provided between an organic EL element 50 and a power supply line VL, and the channel length direction of the TFT 20 is arranged in parallel with the lengthwise direction of a pixel, or with the extending direction of a data line for supplying a data signal to a switching TFT for controlling the TFT 20, or the scanning direction of laser annealing for polycrystallizing the active layer 16 of the TFT 20. Furthermore, a compensating TFT 30 of an inverse TFT 20 having inverse characteristics may be provided between the power supply line VL and the TFT 20.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The thin film transistor for switching which operates in response to a gate signal to the gate, and incorporates a data signal, The thin film transistor for a component drive which controls the power supplied to said driven component from said drive power source according to the data signal which is established between a drive power source and a driven component, and is supplied from said thin film transistor for switching, The semiconductor device which \*\*\*\* and is further characterized by preparing said thin film transistor for a component drive, and the thin film transistor for compensation of a reverse electric conduction property between said drive power source and said thin film transistor for a component drive.

[Claim 2] It is the semiconductor device characterized by making diode connection of said thin film transistor for compensation in a semiconductor device according to claim 1 between said drive power source and said thin film transistor for a component drive.

[Claim 3] It is the semiconductor device characterized by consisting of two or more thin film transistors to which parallel connection of said thin film transistor for a component drive of each other was carried out in the semiconductor device according to claim 1 or 2.

[Claim 4] It is the semiconductor device which said thin film transistor for a component drive consists of two or more thin film transistors by which parallel connection was carried out between said drive power sources and said driven components in a semiconductor device according to claim 1 or 2, and is characterized by preparing said thin film transistor for compensation, respectively between said two or more thin film transistors by which parallel connection was carried out, and said drive power source.

[Claim 5] It is the semiconductor device characterized by being the electroluminescent element which said driven component consists of in preparation for between the 1st and 2nd electrodes in the semiconductor device of any one publication of claim 1-4 in a luminous layer.

[Claim 6] It is the semiconductor device characterized by being the organic electroluminescent element to which said electroluminescent element used the organic compound for the luminous layer in equipment according to claim 5.

[Claim 7] The semiconductor device of any one publication of claim 1-6 is a semiconductor device with which each pixel arranged in the shape of a matrix is characterized by being used for the display of the active-matrix mold equipped with said thin film transistor for switching, said thin film transistor for a component drive, said thin film transistor for compensation, and said driven component as a display device.

[Claim 8] It is the semiconductor device characterized by being arranged so that it may meet in the direction in which the data line by which the direction of channel length of said thin film transistor for a component drive and said thin film transistor for compensation supplies said data signal to said thin film transistor for switching in the semiconductor device of any one publication of claim 1-7 is prolonged.

[Claim 9] Two or more pixels arranged in the shape of a matrix at least, respectively A driven component, It is the display of a active-matrix mold equipped with the thin film transistor for a component drive which supplies the power from a drive power source to a driven component. Each pixel field of two or more of said pixels It is the display characterized by either the line of a matrix or the

sides of the direction of a train being longer than another side, and arranging said thin film transistor for a component drive along the side of said pixel field where the direction of channel length is longer.

[Claim 10] Said thin film transistor for a component drive is a display with which the direction of channel length is characterized by said pixel field having the side of the direction of a train longer than the line writing direction of a matrix, and being arranged along said direction of a train in a display according to claim 9.

[Claim 11] It is the semiconductor device which is equipped with at least one thin film transistor for a component drive which supplies the drive current from power-source Rhine to a corresponding driven component, and the thin film transistor for switching which controls said thin film transistor for a component drive based on the data supplied at the time of selection, and is characterized by to be arranged the direction of said thin film transistor for a component drive of channel length so that it may meet in the direction in which the data line which supplies said data signal to said thin film transistor for switching is prolonged.

[Claim 12] It is the semiconductor device or indicating equipment characterized by the direction of channel length of said thin film transistor for a component drive not being in agreement with the direction of channel length of said thin film transistor for switching in the semiconductor device or indicating equipment of any one publication of claims 1-8 and claim 11.

[Claim 13] the line for the direction of channel length of said thin film transistor for a component drive annealing the channel field of this transistor in the equipment of any one publication of claim 1 - claim 12 -- the semiconductor device characterized by forming this thin film transistor for a component drive so that the scanning direction of a pulse laser may be met, or a display.

[Claim 14] n thin film transistors (n is two or more integers) for controlling the supply voltage to said driven component between the driven component which operates according to a supply voltage, and power-source Rhine for supplying power to said driven component -- having -- this -- the semiconductor device characterized by two or more n thin film transistors and said corresponding driven component being electrically connected by contact of n-1 or less number.

[Claim 15] Between the driven component which operates according to a supply voltage, and power-source Rhine for supplying power to said driven component Have a thin film transistor for controlling the supply voltage to said driven component, and this thin film transistor and said corresponding driven component The semiconductor device characterized by connecting electrically mutually, and for the contact location of this wiring layer and this thin film transistor and the contact location of this wiring layer and said driven component estranging, and being arranged by the wiring layer.

[Claim 16] In a semiconductor device according to claim 15 said driven component Between the 1st and 2nd electrodes, are the light emitting device equipped with the light emitting device layer, the contact hole is formed at the insulating layer formed in the upper layer of said wiring layer, and it sets to this contact hole. Said wiring layer is connected with said 1st electrode of said light emitting device which covered said contact hole and was formed on said insulating layer. It is the semiconductor device characterized by the thing of said 1st electrode for which a contact hole field is covered with a flattening layer, and said light emitting device layer is formed in the upper layer of said 1st electrode and said flattening layer at least.

[Claim 17] Between the driven component which operates according to a supply voltage and is equipped with a light emitting device layer between the 1st and 2nd electrodes, and power-source Rhine for supplying power to said driven component Have a thin film transistor for controlling the supply voltage to said driven component, and this thin film transistor and said corresponding driven component In the contact hole formed in the insulating layer which separates between the layers of said thin film transistor formed in the lower layer, and said driven component, it connects with direct or an indirect target electrically mutually. It is the semiconductor device characterized by the thing of said 1st electrode for which a contact hole field is covered with a flattening layer, and said light emitting device layer is formed in the upper layer of said 1st electrode and said flattening layer at least.

[Claim 18] It is the semiconductor device or display characterized by being the organic electroluminescent element to which said driven component used the organic compound for the luminous layer in the equipment of any one publication of claim 9 – claim 17.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the circuitry transistor of a electroluminescence display, especially its pixel section.

[0002]

[Description of the Prior Art] There are advantageous points, like its power consumption is thinly small while EL display which used for each pixel the electroluminescence (Electroluminescence: henceforth, EL) component which is a spontaneous light corpuscle child as a light emitting device is a spontaneous light type, it is observed as a display which replaces displays, such as a liquid crystal display (LCD) and CRT, and research is advanced.

[0003] Moreover, switching devices, such as a thin film transistor (TFT) which controls an EL element according to an individual, are prepared in each pixel especially, and the active-matrix mold EL display which controls an EL element for every pixel is expected as a high definition display.

[0004] Drawing 1 shows the circuitry per pixel in the active-matrix mold EL display of a m line n train. In EL indicating equipment, two or more gate lines GL extended on the substrate at the line writing direction, and two or more data lines DL and power-source Rhine VL have extended in the direction of a train in it. Moreover, each pixel is equipped with an organic EL device 50, TFT10 for switching (the 1st TFT) and TFT20 for an EL element drive (the 2nd TFT), and the auxiliary capacity Cs.

[0005] It connects with the gate line GL and the data line DL, and 1st TFT10 is turned on in response to a gate signal (selection signal) in a gate electrode. The data signal currently supplied to the data line DL at this time is held at the auxiliary capacity Cs connected between 1st TFT10 and 2nd TFT20. the gate electrode of 2nd TFT20 -- the above -- the electrical potential difference according to the data signal supplied through 1st TFT10 is supplied, and this 2nd TFT20 supplies the current according to that electrical-potential-difference value to an organic EL device 50 from power-source Rhine VL. An organic EL device is made to emit light by the brightness according to a data signal for every pixel, and a desired image is displayed by such actuation.

[0006] Here, an organic EL device is a component of the current drive mold which emits light by supplying a current to the organic luminous layer prepared between cathode and an anode plate. On the other hand, the data signal outputted to a data line DL is a voltage signal of the amplitude according to an indicative data. Then, with the organic electroluminescence indicating equipment, 1st TFT10 and 2nd

TFT20 are conventionally formed in each pixel the making an organic EL device emit light correctly with such a data signal purpose.

[0007]

[Problem(s) to be Solved by the Invention] an above-mentioned organic electroluminescence display -- setting -- the display quality and dependability -- yet -- not enough -- 1st and 2nd TFT(s) 10 and 20 -- each property dispersion needs to be canceled. Since especially property dispersion of the 2nd TFT which controls the amount of currents supplied to an organic EL device 50 from power-source Rhine VL makes direct luminescence brightness generate dispersion, it is required that the dispersion should be made small.

[0008] Moreover, it is suitable for a working speed to be quick and to constitute these 1st and 2nd TFT(s) 10 and 20 with the possible polycrystalline silicon TFT of a low-battery drive. Although making amorphous silicon polycrystallize by laser annealing is performed in order to obtain polycrystalline silicon, it originates in energy dispersion in the exposure side of exposure laser etc., and the grain size of polycrystalline silicon serves as an ununiformity. When dispersion occurs in dispersion, especially near a TFT channel this grain size, there is also a problem that the ON state current property of TFT etc. will vary.

[0009] This invention is made in view of the above-mentioned technical problem, is easing property dispersion of TFT which controls an organic EL device, and aims at offering a active-matrix mold organic EL panel with possible making each luminescence pixel emit light by uniform brightness.

[0010] Moreover, other purposes of this invention are aiming at the dependability and improvement in a property in the equipment equipped with an organic EL device etc. as a driven component.

[0011]

[Means for Solving the Problem] The electroluminescent element which this invention consists of in preparation for between the 1st and 2nd electrodes in a luminous layer in order to attain the above-mentioned purpose, The thin film transistor for switching which operates in response to a gate signal to the gate, and incorporates a data signal, It is prepared between a drive power source and said electroluminescent element, and the data signal supplied from said thin film transistor for switching is embraced. The thin film transistor for a component drive which controls the power supplied to said electroluminescent element from said drive power source, It \*\*\*\* and said thin film transistor for a component drive and the thin film transistor for compensation of a reverse electric conduction property are further prepared between said drive power source and said thin film transistor for a component drive.

[0012] Since dispersion in a property shift can be absorbed and it can suit by the thin film transistor for a component drive by such thin film transistor for compensation of a reverse electric conduction property, dispersion in each transistor can be eased as a whole, and luminescence brightness dispersion in the electroluminescent element by property dispersion can be prevented.

[0013] Moreover, other modes of this invention are that diode connection of said thin film transistor for compensation is made between said drive power source and said thin film transistor for a component drive.

[0014] It is not necessary to supply a control signal special about the thin film transistor for compensation by this, and property dispersion of the thin film transistor for a component drive can be compensated.

[0015] Other modes of this invention are that said thin film transistor for a component drive consists of two or more thin film transistors by which parallel connection was carried out in the above-mentioned indicating equipment.

[0016] Still more nearly another mode of this invention consists of two or more thin film transistors to which parallel connection of the above-mentioned thin film transistor for a component drive of each other was carried out between said drive power sources and said electroluminescent elements, and said thin film transistor for compensation is prepared, respectively between said two or more thin film transistors by which parallel connection's was carried out, and said drive power source.

[0017] Thus, by preparing two or more thin film transistors for a component drive in juxtaposition, even if property dispersion occurs to each transistor, the effect to the property of the whole transistor by which parallel connection was carried out can be eased. For this reason, dispersion can supply a current few to an EL element. Furthermore, the effect to which dispersion in plurality, then the property of each transistor gives this to the property of the whole pixel transistor also about the thin film transistor for compensation can be reduced, and luminescence with the uniform luminance of an EL element becomes easy.

[0018] In other modes of this invention, each pixel arranged in the shape of a matrix can use the above-mentioned semiconductor device for the display of the active-matrix mold equipped with said thin film transistor for switching, said thin film transistor for a component drive, said thin film transistor for compensation, and said driven component as a display device.

[0019] In other modes of this invention, in the above-mentioned semiconductor device, the direction of channel length of said thin film transistor for a component drive and said thin film transistor for compensation is arranged so that it may meet in the direction in which the data line which supplies said data signal to said thin film transistor for switching is prolonged.

[0020] Two or more pixels arranged in the shape of a matrix at least other modes of this invention, respectively A driven component, It is the display of a active-matrix mold equipped with the thin film transistor for a component drive which supplies the power from a drive power source to a driven component. Each pixel field of two or more of said pixels Either the line of a matrix or the sides of the direction of a train are longer than another side, and said thin film transistor for a component drive is arranged along the side of said pixel field where the direction of channel length is longer.

[0021] In the display concerning other modes of this invention, said pixel field has the side of the direction of a train longer than the line writing direction of a matrix, and, as for said thin film transistor for a component drive, the direction of channel length is arranged along said direction of a train.

[0022] other voice of this invention -- it has at least one thin film transistor for a component drive which supplies the drive current from power-source Rhine to a corresponding driven component in the semiconductor device which applies like, and the thin film transistor for switching which control said thin film transistor for a component drive based on the data supplied at the time of selection, and the direction of said thin film transistor for a component drive of channel length is arranged so that it may meet in the direction in which the data line which supplies said data signal to said thin film transistor for switching is prolonged.

[0023] By adopting the above arrangement, channel length of the thin film transistor for a component drive which supplies power to a driven component can be lengthened, and the dependability of transistors, such as pressure-proofing, can be improved. Moreover, the property of the thin film transistor for a component drive established to a driven component, respectively can be equalized, and, in the case of the light emitting device from which luminescence brightness differs according to a supply voltage, a driven component can suppress dispersion in the luminescence brightness for every component. Moreover, it is easy juxtaposition, to carry out series connection and to arrange efficiently two or more thin film transistors for a component drive equipped with respectively sufficient channel length, for example to one driven component in a pixel, etc., and when a driven component is a light emitting device etc., it becomes possible to also make a luminescence field increase.

[0024] other voice of this invention -- the line for the direction of channel length of said thin film transistor for a component drive annealing the channel field of this transistor, as for the semiconductor device or indicating equipment applied like -- this thin film transistor for a component drive is formed so that the scanning direction of a pulse laser may be met.

[0025] Thus, by doubling the scanning direction of laser annealing in the direction of channel length of the thin film transistor for a component drive, a difference with the transistor characteristics of the thin film transistor for a component drive which supplies power to other driven components can be certainly made small.

[0026] There is dispersion in laser output energy in laser annealing. Dispersion in 1 exposure field of a pulse laser and dispersion between shots exist in this dispersion. On the other hand, to channel width, channel length is very long and the thin film transistor for a component drive adopted as semiconductor devices, such as for example, a active-matrix mold indicating equipment, is designed in many cases. Moreover, it arranges along the longer side of a pixel field as mentioned above, or it becomes easy by forming the thin film transistor for a component drive along the direction of a train, or the extension direction of a data line to make channel length of the thin film transistor for a component drive into sufficient die length. And by setting up so that the longitudinal direction of the exposure field of laser may cross a channel crosswise [ the ], if it puts in another way whether it is in agreement in the direction of channel length of the thin film transistor for a component drive in general in the scanning direction of laser, it can adjust easily so that annealing of all the channel fields of one thin film transistor for a component drive may not be carried out by the single shot. This is easily realizable if the channel length of for example, the above-mentioned thin film transistor for a component drive is set up for a long time than 1 time of the migration pitch of a pulse laser. Therefore, two or more driven components are formed on the same substrate, when two or more formation of the thin film transistor for a component drive which supplies power to this component, respectively is carried out, it becomes possible to carry out laser annealing by the shot of multiple times, each transistor wears energy dispersion between shots equally, and the active layer of this thin film transistor becomes possible [ equalizing the property of each thin film transistor certainly ]. In the organic electroluminescence display for which the organic EL device with which the organic compound was used for the luminous layer as for example, a driven component was used by this, dispersion in the luminescence brightness in the organic EL device formed in each pixel can be made very small.

[0027] In other modes of this invention, the direction of channel length of said thin film transistor for a component drive is not in agreement with the direction of channel length of said thin film transistor for switching in the above-mentioned semiconductor device.

[0028] The thin film transistor for switching is arranged in near where selection Rhine which chooses this transistor, and the data line which supplies a data signal cross, and in many cases, it is arranged so that the extension direction of selection Rhine and the direction of channel length of the thin film transistor for switching may be parallel in general. In such a case, the thin film transistor for a component drive becomes easy [ lengthening channel length ] by arranging the direction of channel length of the thin film transistor for a component drive in the different direction from the thin film transistor for switching.

[0029] In the semiconductor device concerning other modes of this invention, between the driven component which operates according to a supply voltage, and power-source Rhine for supplying power to said driven component n thin film transistors (n is two or more integers) for controlling the supply voltage to said driven component -- having -- this -- two or more n thin film transistors and said corresponding driven component are electrically connected by contact of n-1 or less number.

[0030] In the certainty of the electric power supply to a driven component, and viewpoints, such as dispersion prevention, preparing two or more thin film transistors for a component drive which supply power to a driven component has high effectiveness. When it is one side, for example, a driven component is a light emitting device etc., the contact section serves as a nonluminescent field in many cases. Therefore, it becomes possible to carry out the maximum reservation of the real active region (if it to be a light emitting device luminescence field) of a driven component by making or less into n-1 the number of contacts of n thin film transistors and driven components which supply power to a driven component, aiming at improvement in dependability as equipment.

[0031] The semiconductor device concerning other modes of this invention between the driven component which operates according to a supply voltage, and power-source Rhine for supplying power to said driven component Have a thin film transistor for controlling the supply voltage to said driven component, and this thin film transistor and said corresponding driven component It connects



electrically mutually, and the contact location of this wiring layer and this thin film transistor and the contact location of this wiring layer and said driven component estrange, and are arranged by the wiring layer.

[0032] Thus, it becomes easy by the contact location of a wiring layer and this thin film transistor and the contact location of this wiring layer and said driven component estranging, and arranging them to form a driven component with being formed [ much ] in the upper layer on a flatter field from a wiring layer. The thin film transistor and the wiring layer are separated by the insulating layer, and these contacts are performed in the contact hole formed in the insulating layer. Moreover, connection between a wiring layer and a driven component is made through the contact hole formed in the insulating layer which insulates both. Therefore, when formed in the location with which the contact hole which connects the contact hole which connects a wiring layer with a thin film transistor, and a wiring layer and a driven component lapped, the driven component most formed in the upper layer will be formed on the big concave convex made by two contact holes (two steps). When a light emitting device, for example, the organic EL device with which the organic compound was used for the luminous layer, is adopted as a driven component, if the surface smoothness of the forming face is bad, electric-field concentration etc. will break out and the dark spot it becomes impossible from the location emitting light will tend to produce the layer containing an organic compound. Therefore, it becomes possible by estranging contact for a wiring layer and a driven component from the contact section of a thin film transistor and a wiring layer to raise the surface smoothness in the formation field of a driven component.

[0033] In the semiconductor device concerning other modes of this invention, the above-mentioned driven component is a light emitting device equipped with the light emitting device layer between the 1st and 2nd electrodes. The contact hole is formed in the insulating layer formed in the upper layer of said wiring layer, and it sets to this contact hole. Said wiring layer It connects with said 1st electrode of said light emitting device which covered said contact hole and was formed on said insulating layer. At least, a contact hole field is covered with a flattening layer, and it is characterized by the thing of said 1st electrode for which said light emitting device layer is formed on said 1st electrode and said flattening layer.

[0034] The field where surface smoothness is very high can consist of the 1st electrode and a flattening layer by burying the part which became depressed by existence of a wrap, i.e., a contact hole, by the flattening layer about the contact hole field of the 1st electrode by the flattening layer. Therefore, it becomes possible by forming a light emitting device layer on the high field of this surface smoothness to improve the dependability of a component.

[0035] other voice of this invention -- the semiconductor device applied like operating according to a supply voltage, and between the driven component equipped with a light emitting device layer between the 1st and 2nd electrodes, and power-source Rhine for supplying power to said driven component Have a thin film transistor for controlling the supply voltage to said driven component, and this thin film transistor and said corresponding driven component In the contact hole formed in the insulating layer which separates between the layers of said thin film transistor formed in the lower layer, and said driven component, it connects with direct or an indirect target electrically mutually. Even if there are few said 1st electrodes, a contact hole field is covered with a flattening layer, and said light emitting device layer is formed in the upper layer of said 1st electrode and said flattening layer.

[0036] Although a light emitting device layer is formed above the 1st electrode, even if it compares the hollow generated by existence of a contact hole to this 1st electrode by the flattening layer for a wrap reason and this hollow is deep, the field where surface smoothness is very high can be constituted from the 1st electrode and a flattening layer, and it becomes possible by forming a light emitting device layer on the high field of this surface smoothness to improve the dependability of a component.

[0037] Other modes of this invention are that an above-mentioned driven component is an organic electroluminescent element which used the organic compound for the luminous layer. Although



dispersion in the amount of supply current affects dispersion in luminescence brightness in such an organic EL device since it is a current drive, although high brightness and the luminescent color, and the selection range of an ingredient are wide, it is easy to maintain the amount of supply current to homogeneity by the above circuitry of a pixel and adoption of arrangement. Moreover, by adopting arrangement of the above contacts, and structure, a numerical aperture is large, component layers, such as a luminous layer, can be further formed in a flat field, and a reliable component is obtained.

[0038]

[Embodiment of the Invention] Hereafter, the gestalt (henceforth an operation gestalt) of suitable implementation of this invention is explained using a drawing.

[0039] [Operation gestalt 1] drawing 2 shows the circuitry per pixel in the active-matrix mold EL display of the m line n train concerning the operation gestalt 1 of this invention. Each pixel is equipped with an organic EL device 50, TFT10 for switching (the 1st TFT), TFT20 for a component drive (the 2nd TFT), and the auxiliary capacity Cs, and is constituted by the field surrounded by the gate line GL which extends in a line writing direction, and the data line DL prolonged in the direction of a train here so that it may illustrate. this operation gestalt -- further -- an electric conduction property -- this -- TFT30 for compensation contrary to 2nd TFT20 is inserted between power-source Rhine VL and 2nd TFT20. either [ the gate and ] the source or a drain connects and makes diode connection of this TFT30 for compensation -- having -- \*\*\*\* -- this diode -- power-source Rhine VL -- this -- it connects with the forward direction between 2nd TFT20. Therefore, it is possible to make it operate without supplying a special control signal.

[0040] 1st TFT10 is turned on in response to a gate signal to the gate, the data signal currently supplied to the auxiliary capacity Cs connected with 1st TFT10 and 2nd TFT20 in between by this at the data line DL is held, and one electrode potential of the auxiliary capacity Cs becomes equal to this data signal. 2nd TFT20 is formed between power-source Rhine VL and an organic EL device (anode plate of a component) 50, and it operates so that the current according to the electrical-potential-difference value of the data signal impressed to the gate may be supplied to an organic EL device 50 from power-source Rhine VL. In the example shown in drawing 2, nch-TFT in which a high-speed response is possible is used for 1st TFT10, and pch-TFT is used for 2nd TFT20.

[0041] TFT30 for compensation -- this -- when 2nd TFT20 and nch-TFT of reversed polarity are used and the I(current)-V (electrical potential difference) property of 2nd TFT20 is changed, the I-V property is exactly changed to hard flow, and property fluctuation of 2nd TFT20 is compensated.

[0042] Drawing 3 shows the I-V property of nch-TFT which used polycrystalline silicon for the active layer, and pch-TFT. If a current value will rise rapidly if the applied voltage to the gate becomes more than a predetermined sex electrical potential difference (+Vth), and nch-TFT becomes below a negative electrical potential difference (-Vth) predetermined [ pch-TFT / one ] in the applied voltage to the gate, a current value will rise rapidly. Here, nch-TFT formed for example, on the same substrate and pch-TFT are the threshold of pch-TFT, when it changes so that threshold +Vth of nch-TFT may shift to the right in the direction which becomes large, i.e., drawing 3. - Vt shifts only this extent to the right-hand side of drawing 3. When threshold +Vth of nth-TFT shifts to the left on the contrary, it is the threshold of pth-TFT. - Vth is also shifted to left-hand side. For example, the amount of currents in which it will be supplied to an organic EL device 50 in the same conditioning a \*\*\*\*\* case by dispersion in manufacture conditions etc. if -Vth of pch-TFT used for 2nd TFT20 of drawing 2 is the former will decrease immediately. however -- this operation gestalt -- this -- the amount of currents which TFT30 for compensation which consists of 2nd TFT20 and nch-TFT prepared between power-source Rhine VL passes increases.

[0043] With this operation gestalt, since 2nd TFT20 and TFT30 for compensation which consist of reversed polarity mutually are prepared between power-source Rhine VL and an organic EL device 50 as shown in drawing 2, two TFT(s) will balance so that the amount of currents always passed mutually may be compensated. Of course, by the circuitry of this operation gestalt, the part in which TFT30 for

compensation exists, and the maximum current value which can be supplied to an organic EL device 50 decrease rather than circuitry conventionally like drawing 1 in which TFT30 for compensation does not exist. However, human being's eyes hardly affect display quality, even if the maximum supply current value decreases somewhat, since it is very low as compared with sensibility [ in / in the discernment sensibility by the side of high brightness / middle brightness ]. Since 2nd TFT20 and TFT30 for compensation adjust the current which it begins to pass mutually and suit in each pixel on the other hand, it becomes possible to reduce dispersion in the amount of supply current to the organic EL device 50 between pixels.

[0044] Next, with reference to drawing 4, the effectiveness realized by the circuitry of this operation gestalt is explained. When the drawing 4 upper case makes an organic EL device emit light by the pixel circuitry of this operation gestalt shown in drawing 2, the drawing 4 lower berth shows an example of the relation between the applied voltage (data signal) at the time of making an organic EL device emit light by the conventional pixel circuitry shown in drawing 1, and luminescence brightness. The time of applied-voltage (data signal) 8V makes a setup of drawing 4 the demand maximum brightness to an organic EL device, and the case where the gradation display is performed between 8V-10V is mentioned as the example. Moreover, three samples each of the upper case of drawing 4 and the lower berth are the luminescence brightness properties at the time of making the property of TFT of the pixel section vary intentionally, when the organic EL panel of the circuitry of drawing 2 and drawing 1 is formed under different manufacture conditions, respectively that is,.

[0045] the brightness property difference in the halftone field of three samples be very small only by the properties in the high brightness field by which a feeling of \*\* be carry out differ by the circuitry of this operation gestalt by conventional circuitry in the sample which be three from which the property of the pixel section TFT differ to the brightness property change a lot in the set-up data signal electrical potential difference range 8V-10V so that clearly from drawing 4. Therefore, even if the property of TFT and TFT20 for an EL element drive which does big effect especially differs in making each pixel into circuitry like this operation gestalt, it is possible to compensate the dispersion and existence of TFT30 for compensation of this and reversed polarity enables it to suppress dispersion in the luminescence brightness of an organic EL device.

[0046] Drawing 5 shows other examples of the circuitry of this operation gestalt. The point which is different from above-mentioned drawing 2 is a point of using pch-TFT by which 2nd TFT22 was constituted using nch-TFT, and diode connection was made at TFT32 for compensation. Property dispersion in 2nd TFT22 can be compensated with TFT32 for compensation also by such configuration.

[0047] Drawing 6 shows still more nearly another example of the circuitry of this operation gestalt. The point which is different from the circuitry of drawing 2 is that two or more 2nd TFT stands in a row, and is prepared between TFT30 for compensation, and an organic EL device 50. In addition, 2nd TFT24 is [ pch and TFT30 for compensation ] nch(es) like [ the polarity of TFT ] drawing 2. The gate is connected to the 1st TFT10 and 1st electrode side of the auxiliary capacity Cs, each source is connected to TFT30 for compensation, and, as for 2nd two TFT24 both, the drain is connected to the organic EL device 50. Thus, by arranging in parallel and forming 2nd TFT24, it becomes possible to reduce further supply current dispersion to the organic EL device by property dispersion of the 2nd TFT.

[0048] here -- 2nd two TFT24 -- if each current value target to pass is set to  $i$ , naturally two sum total target current values of 2nd TFT24 will be set to  $2i$ . By dispersion, even if one current serviceability of 2nd TFT24 becomes  $i/2$ , 2nd TFT24 of another side can supply  $i (3/2)$  to an organic EL device to target  $2i$ , if only  $i$  passes a current. Moreover, if it is the example of drawing 6 even if the current serviceability of worst one TFT is set to 0, it is possible to supply Current  $i$  to an organic EL device by TFT of another side, when 2nd TFT24 is constituted from single TFT and this becomes the current serviceability 0, as compared with becoming a defect, the effectiveness of the pixel is alike and large.

[0049] moreover, every of this operation gestalt -- the case where two or more 2nd TFT24 is arranged in parallel and formed although TFT polycrystal-izes a-Si by laser annealing treatment -- every -- it is

easy to devise to shift the formation location to a laser scanning direction so that laser may not be irradiated by the active region of 2nd TFT24 at coincidence etc. and by considering as such arrangement, all 2nd TFT24 can boil markedly possibility of becoming a defect, and can reduce it, and it becomes possible to suppress property dispersion resulting from laser annealing to the minimum. Moreover, as mentioned above, since TFT30 for compensation is formed between 2nd TFT24 and power-source Rhine VL, even if a shift arises in the threshold of 2nd TFT24 by dispersion, such as the annealing condition, this can be eased by TFT30 for compensation.

[0050] Drawing 7 shows still more nearly another pixel circuitry of this operation gestalt. Not only 2nd TFT24 but two or more TFT(s) for compensation are prepared, and each TFT34 for compensation of the point which is different from the configuration of above-mentioned drawing 6 is the point established between power-source Rhine VL and 2nd TFT24, respectively. Dispersion in plurality, then the current serviceability generated in each TFT34 for compensation can be eased as a whole like [ TFT /34 / for compensation ] drawing 7 , and it becomes possible to reduce more certainly dispersion in the supply current capacity to an organic EL device 50.

[0051] Drawing 8 shows an example of the flat-surface configuration of the organic electroluminescence display used as circuitry like above-mentioned drawing 7 . Moreover, the outline cross section where the outline cross section where drawing 9 (a) met the A-A line of drawing 8 , and drawing 9 (b) met the B-B line of drawing 8 , and drawing 9 (c) show the outline cross section which met the C-C line of drawing 8 . In addition, in drawing 9 , the same sign is fundamentally given to the layer (film) formed in coincidence except that from which a function differs.

[0052] it is shown in drawing 8 -- as -- each pixel -- 1st TFT10, the auxiliary capacity Cs, 2nd TFT24 of two pch(es), and power-source Rhine VL -- this -- it has the organic EL device 50 connected with the drain of two TFT(s)34 for compensation of nch which diode connection was made and was prepared between 2nd TFT24, and 2nd TFT24. Moreover, in the example of drawing 8 , 1 pixel is arranged to the field surrounded by the gate line GL which extends in (it is not restricted to this), and a line writing direction, power-source Rhine VL which extends in the direction of a train, and the data line DL. In addition, in the example of drawing 8 , in order to realize a higher definition electrochromatic display, a data line DL and power-source Rhine VL have extended in the direction of a train so that the pixel of R, G, and B may sew the shape not of a straight line but the gap of a pixel where the location shifted for every line, since the so-called delta array from which the arrangement location shifted for every line is adopted.

[0053] In each pixel field, 1st TFT10 is formed near the intersection of the gate line GL and a data line DL. Although p-Si which polycrystal-ized a-Si and obtained it by laser annealing treatment is used for an active layer 6, this active layer 6 serves as a pattern over the gate electrode 2 projected from the gate line GL twice and single gate structure shows at drawing 7 , it has dual gate structure in circuit. The active layer 6 is formed on the gate dielectric film 4 which covered the gate electrode 2 and was formed, and source field 6S and drain field 6D by which the impurity was doped for the right above field of the gate electrode 2 by a channel and its both sides are formed. Since the selection signal outputted to the gate line GL is expected to carry out a high-speed response, impurities, such as Lynn (P), are doped by the source drain fields 6S and 6D, and 1st TFT10 is constituted as nch-TFT here.

[0054] Drain field 6D of 1st TFT10 is connected to the data line DL formed on the interlayer insulation film 14 which covers the 1st TFT10 whole and is formed, and this interlayer insulation film 14 in the contact hole by which opening was carried out.

[0055] The auxiliary capacity Cs is connected to source field 6S of this 1st TFT10. This auxiliary capacity Cs is formed in the field to which the 1st electrode 7 and the 2nd electrode 8 have lapped on both sides of gate dielectric film 4 between layers. The 1st electrode 7 is formed by capacity Rhine SL and one which have been prolonged in the line writing direction like the gate line GL in drawing 8 , and were formed from the same ingredient as the gate. Moreover, the 2nd electrode 8 is the active layer 6 of 1st TFT10, and one, and this active layer 6 extends to the formation location of the 1st electrode 7,

and it is constituted. The 2nd electrode 8 is connected to the gate electrode 25 of 2nd TFT24 through the connector 42.

[0056] The cross-section configuration of 2nd TFT24 of two pch(es) and TFT34 for compensation of two nch(es) has become like drawing 9 (b). These 2nd TFT and TFT(s) 24 and 34 for compensation use the semi-conductor layer 16 by which patterning was carried out to the shape of an island for every TFT as each active layer in the direction in alignment with a data line DL (power-source Rhine VL). Therefore, in this example, as for the channel of these 2nd TFT(s)24 and TFT34 for compensation, that direction of channel length is arranged so that a data line DL and the 1-pixel longitudinal direction of the configuration where it is long and slender here may be met. in addition, this semi-conductor layer 16 -- the active layer 6 of 1st TFT10 -- simultaneously, it forms -- having -- laser annealing treatment -- a-Si -- polycrystal -- the polycrystalline silicon-izing [ polycrystalline silicon ] and formed is used.

[0057] TFT34 for compensation located in the both ends of drawing 9 (b) is connected to respectively same power-source Rhine VL through the contact hole where opening of the drain field was carried out to the interlayer insulation film 14. Moreover, on both sides of gate dielectric film 4, the gate electrode 35 is arranged directly under the channel field of TFT34 for compensation. Although this gate electrode 35 is the same ingredient as the gate line GL and is the layer formed in coincidence, as shown in drawing 8 R> 8, it is connected with power-source Rhine VL in the contact hole. Therefore, this TFT34 for compensation constitutes the diode by which both the gate and a drain were connected to power-source Rhine VL, as shown in the circuit diagram of drawing 7 . moreover, the source field of 2nd TFT24 where the source field of this TFT34 for compensation consists of pchTFT(s) and alienation -- it is arranged and the contact wiring 43 connects mutually, respectively.

[0058] Each gate electrode 25 of 2nd TFT24 like the gate electrode 35 of TFT34 for compensation Are the conductive layer formed in coincidence with the same ingredient as the gate line GL, and it connects with the 2nd electrode 8 of the auxiliary capacity Cs through a connector 42. It extended along power-source Rhine VL from the formation field of this auxiliary capacity Cs, and has extended under the active layer 16 further, and each two gate electrodes 25 of 2nd TFT24 are constituted.

[0059] It has cross-section structure like drawing 9 (c), and it is the purpose of top-face flattening and the organic EL device 50 is formed on the flattening insulating layer 18 formed all over the substrate, after each above TFT is formed. The laminating of the organic layer is carried out between an anode plate (transparent electrode) 52 and the cathode (metal electrode) 57 which was common to each pixel and was formed in the maximum upper layer, and this organic EL device 50 is constituted between. Here, direct continuation of this anode plate 52 is not carried out to the source field of 2nd TFT24, but it is connected through the connector 40 which constitutes a wiring layer.

[0060] Here, with this operation gestalt, like drawing 8 , 2nd two TFT24 is connected to one connector 40 in common, and this connector 40 is in contact at the 1st electrode 52 of an organic EL device 50, and one place. That is, the organic EL device 50 is connected with 2nd n TFT24 by n-1 or less contact. A contact field is lessening the number of contacts of an organic EL device 50 and a connector 40 (2nd TFT24) as much as possible in this way, since it becomes a nonluminescent field, and it makes it possible to enlarge a luminescence field as much as possible. In addition, about other examples about this number of contacts, it mentions later as an operation gestalt 3.

[0061] Moreover, with this operation gestalt, as shown in drawing 8 and drawing 9 (c), the connecting location of a connector 40 and an anode plate 52 shifts from the connecting location of a connector 40 and 2nd TFT24, and is arranged. Degradation may begin from the location where electric-field concentration tended to break out in when the light emitting device layer 51 containing the organic compound mentioned later had a thin location etc. locally, and electric-field concentration broke out. Therefore, the thing flat as much as possible of the forming face of the light emitting device layer 51 for which an organic material is used is desirable. In the upper layer of a contact hole, the hollow resulting from this contact hole is made, and as a contact hole is deep, that hollow becomes larger. Therefore, it makes it possible to make as flat as possible the top face of the anode plate 52 where an organic layer

is formed upwards by arranging the contact hole which connects a connector 40 and the source field of 2nd TFT24 out of the formation field of an anode plate 52. In addition, about the example which makes the top face of an anode plate 52 flat, it mentions later as an operation gestalt 4.

[0062] As for the light emitting device layer (organic layer) 51, the laminating of the 1st hole transportation layer 53, the 2nd hole transportation layer 54, the organic luminous layer 55, and the electronic transportation layer 56 is carried out, for example to order from the anode plate side. As an example, the 1st hole transportation layer 52 MTDATA:4, 4', 4''-tris(3-methylphenylphenylamino) triphenylamine, Although TPD:N, N'-diphenyl-N, N'-di(3-methylphenyl)-1, 1'-biphenyl-4, 4'-diamine, and the organic luminous layer 55 change with luminescent color made into the purpose of R, G, and B, the 2nd hole transportation layer 54 For example, the electronic transportation layer 56 consists of BeBq(s) including BeBq2:bis(10-hydroxybenzo[h] quinolinato) beryllium containing the Quinacridone (Quinacridone) derivative. Moreover, in the example shown in drawing 9 (c), the cathode 57 which consists of each organic layer (53, 54, 56), aluminum, etc. other than the anode plate 52 where an organic EL device 50 consists of ITO (Indium Tin Oxide) etc., and organic luminous layer 55 is common to each pixel, and is formed.

[0063] The component by which laminating formation of the left layer using the ingredient which raised to the right was carried out one by one as other examples of a configuration of the above-mentioned EL element is raised.

[0064] a. Transparent electrode (anode plate)

b. -- hole transportation layer: -- NBPc. luminous layer: -- red (R) ... a host ingredient (Alq3) -- a red dopant (DCJTB) -- dope green (G) ... the green dopant (Coumarin 6) into a host ingredient (Alq3) -- dope blue (B) ... the blue dopant (Perylene) into a host ingredient (Alq3) -- dope d. electronic transportation layer: -- Alq3e. electron injection layer: -- lithium fluoride (LiF)

f. Electrode (cathode) : aluminum (aluminum)

In addition, the official name of the ingredient indicated in the above-mentioned abbreviated name is as follows here.

- "NBP" ... N, N' - Di ( ) (naphthalene-1-yl)-N, N' - diphenyl-benzidine- "Alq3" ... Tris(8-hydroxyquinolinato) aluminum- "DCJTB" ... ( ) [ 2- ] (1 and 1-Dimethylethyl)-6- ( ) [ 2- ] 2, 3, 6, 7-tetrahydro-1, and 1 and 7 -- "7-tetramethyl-1H and 5 H-benzo[ij] quinolizin-9-ylethenyl-4 H-pyran-4-ylidenepropanedinitrile- Coumarin 6 ... 3-" (2-Benzothiazolyl)-7- (diethylamino) coumarin- "BAIq" ... (1 and 1'-Bisphenyl-4-Olato) -- bis(2-methyl-8-quinolinplate-N 1 and 08) Aluminum -- however It is not restricted to such [, of course ] a configuration.

[0065] In the pixel of the above structures, if a selection signal is impressed to the gate line GL, 1st TFT10 will turn on and the potential and the potential of the source field connected to the 2nd electrode 8 of the auxiliary capacity Cs of a data line DL will become equal. The electrical potential difference according to a data signal is supplied to the gate electrode 25 of 2nd TFT24, and 2nd TFT24 supplies the current supplied through TFT34 for compensation according to the electrical-potential-difference value from power-source Rhine VL to the anode plate 52 of an organic EL device 50. By such actuation, the current according to a data signal can be correctly supplied to an organic EL device 50 for every pixel, and the display without dispersion is attained.

[0066] Since TFT34 for compensation and 2nd TFT24 are formed two or more sequences (here two sequences) between power-source Rhine VL and an organic EL device 50 at this order as shown in drawing 8 , even if a property shift, a defect, etc. by dispersion occur by one system, it makes it possible to ease dispersion in the amount of sum total \*\*\*\*\* supply current of two or more sequences in the system of another side of a normal property existing.

[0067] Moreover, although the polycrystalline silicon layer in which the active layer was polycrystal-ized by laser annealing treatment is used in both the plane configuration shown in drawing 8 , as an example, this annealing treatment scans a long laser beam in the direction of a train, and performs it to the line writing direction of drawing. Also in this case, the channel sense of 1st TFT10 and each active layer die-

length channel sense of the 2nd and TFT 24 and 34 for compensation were not in agreement, and it is separated from them of the formation location by the 1st and 2nd TFT 10 and 24. For this reason, it is possible to prevent 1st and 2nd TFT(s) 10 and 24 and that fault arises in the 2nd and TFT 24 and 34 for compensation further at coincidence by laser annealing.

[0068] In addition, although both 1st TFT10 2nd TFT24 and TFT34 for compensation were explained as bottom gate structure, you may be the top gate structure where the gate electrode was formed in the upper layer rather than the active layer.

[0069] The [operation gestalt 2], next other operation gestalten 2 of this invention are explained. With the operation gestalt 1, in order to prevent dispersion in luminescence brightness between the pixels by property dispersion of a transistor, the thin film transistor for a component drive and the thin film transistor for compensation of a reverse electric conduction property are prepared. On the other hand, with this operation gestalt 2, dispersion in the luminescence brightness between pixels is controlled paying attention to arrangement of the thin film transistor for a component drive (the 2nd TFT). Drawing 10 shows the example of a configuration per [ concerning the operation gestalt 2 ] pixel, and it is the sectional view where drawing 10 (a) met the outline top view, and drawing 10 (b) met the B-B line of drawing 10 (a). This configuration is shown by the same circuitry as drawing 1 . Moreover, the same sign is given to already explained drawing and a corresponding part among drawing.

[0070] In this operation gestalt 2, it has the 1 pixel of an organic EL device 50, 1st TFT (thin film transistor for switching)10, the auxiliary capacity Cs, and 2nd TFT (thin film transistor for a component drive)20. Unlike the operation gestalt 1, 2nd single TFT20 is formed between power-source Rhine VL and an organic EL device 50, but like above-mentioned drawing 8 , this 2nd TFT20 is arranged so that that direction of channel length may meet the longitudinal direction of the pixel formed long and slender. By and the thing for which 2nd TFT20 is arranged with this operation gestalt 2 so that the direction of channel length may turn to the longitudinal direction of a pixel field in this way As it is shown in above-mentioned drawing 8 also when arranging channel length's 2nd very long TFT20 like drawing 10 (a) and, power-source Rhine VL Also when 2nd TFT20 and TFT30 for compensation need to be arranged between organic EL devices 50, it makes it possible to arrange efficiently TFT required in the 1-pixel field where area was restricted, carrying out the maximum reservation of the luminescence field of an organic EL device 50.

[0071] With this operation gestalt 2, by arranging 2nd TFT20 to the longitudinal direction of a pixel, as shown in drawing 10 (a) and drawing 10 (b), it makes it possible to lengthen channel length of 2nd TFT20 enough. By lengthening channel length of 2nd TFT20 enough, the dependability by the improvement in a TFT proof pressure improves. Moreover, equalization of the transistor characteristics of 2nd TFT20 is attained, and current serviceability dispersion of 2nd TFT20 for every pixel can be reduced, and it becomes possible to make very small luminescence brightness dispersion of the organic EL device 50 generated by this capacity dispersion.

[0072] Moreover, in this operation gestalt 2, the polycrystalline silicon layer which polycrystal-ized the amorphous silicon layer and obtained it by laser annealing is used for 2nd TFT20 as a semi-conductor layer (active layer) 16 like the operation gestalt 1. In this case, reduction of property dispersion of 2nd TFT20 is attained by [ which set up the scanning direction of laser annealing in the direction of channel length of 2nd TFT20, and the direction which is in agreement ] in other words, arranging so that the longitudinal direction edge of the exposure field of a pulse laser may cross channel 16c crosswise, and lengthening channel length of 2nd TFT20 as mentioned above. This is easy to adjust so that annealing of all the channel fields of 2nd TFT20 may not be carried out by the single laser shot, and is because it is possible to be able to prevent that a big difference occurs in 2nd TFT20 which is other pixels, and its property, and for this to acquire the higher equalization effectiveness about the property of 2nd TFT20.

[0073] although it is required that 2nd TFT20 should supply a high current from a drive power source (power-source Rhine VL) comparatively to an organic EL device 50, when using for 2nd TFT20 p-Si-TFT which used polycrystalline silicon for the active layer 16, as compared with demand capacity, the



mobility of p-Si is sufficient value, and even if 2nd TFT20 designs the channel length for a long time, sufficient current serviceability is demonstrated -- things can be carried out. Moreover, since direct continuation of 2nd TFT20 is carried out to power-source Rhine VL, it is required in many cases that demand pressure-proofing should be high and channel length CL should be made larger than channel width. Therefore, it is forming also from such a viewpoint, so that considering as channel length long enough may be suitable for 2nd TFT20, therefore the direction of channel length may meet the longitudinal direction of a pixel field in 2nd TFT20, and it becomes possible to arrange efficiently 2nd TFT20 equipped with a long channel in a 1-pixel field.

[0074] In order for the display from which two or more pixels are arranged in the shape of a matrix and which they consist of on the screen to require resolution with horizontal (line writing direction) one higher perpendicularly (the direction of a train) in many cases, each pixel has the strong inclination designed by the configuration long in the direction of a train as shown in above-mentioned drawing 8 and above-mentioned drawing 10 R> 0 (a). In such a case, if 2nd TFT20 is arranged so that the direction of channel length may be suitable in the direction of a train, the direction of channel length will meet the longitudinal direction of a pixel field, and the above reservation of channel length demanded will become easy.

[0075] Moreover, as shown in this operation gestalt 2, in the active-matrix mold indicating equipment in which the switching device for driving a display device to each pixel is prepared, the data line DL which supplies a data signal in the direction of a train at 1st TFT10 is arranged, and selection Rhine (gate line) GL is arranged at a line writing direction. Then, it becomes easy to arrange 2nd TFT20 in a pixel field efficiently, securing long channel length by arranging 2nd TFT20 so that the direction of channel length may meet in the direction (the direction of a train) in which a data line DL is prolonged. In addition, in the example of drawing 10, since the layout to which power is supplied is adopted as each pixel by power-source Rhine VL from the drive power source Pvdd and it has extended in the direction of a train about this power-source Rhine VL as well as a data line DL, the direction of channel length of 2nd TFT20 is in agreement also with the extension direction of this power-source Rhine VL.

[0076] By the way, with this operation gestalt 2, it has set up so that it may be in agreement with the scanning direction of laser annealing, or so that the direction of channel length of 2nd TFT20 may become parallel to the direction of a train (the extension direction of a data line DL) as mentioned above, but about 1st TFT10, it is arranged so that the direction of channel length may be in agreement with the line writing direction to which the gate line GL extends. Therefore, in this operation gestalt 2, the direction of channel length is mutually different arrangement by 1st TFT10 and 2nd TFT20.

[0077] Next, the cross-section structure of the display concerning this operation gestalt 2 is explained with reference to drawing 10 (b). Drawing 10 (b) shows the cross-section structure of the organic EL device 50 connected with 2nd TFT20 and this TFT20. in addition -- 1st TFT10 which is not illustrated -- the die length of a channel, and double-gate \*\*\*\*\* -- if it removes a thing, that the conductivity types of an active layer 6 differ, etc., the basic configuration is mostly common in 2nd TFT20 of drawing 10 (b).

[0078] Although the 1st and 2nd TFT(s) illustrated in the operation gestalt 1 are [ both ] bottom gate structure, with this operation gestalt 2, the top gate structure where the gate electrode was formed in the upper layer is used for 1st and 2nd TFT(s) 10 and 20 from the active layer. Of course, you may be not the thing restricted to top gate structure but bottom gate structure.

[0079] Both the active layer 16 of 2nd TFT20 and the active layer 6 of 1st TFT10 consist of polycrystalline silicon obtained by carrying out laser annealing of the amorphous silicon layer formed on the substrate 1 as mentioned above, and polycrystal-izing. Gate dielectric film 4 is formed on the active layer 6 which consists of polycrystalline silicon, and the active layer 16. Each gate electrodes 2 and 25 of 1st TFT10 and 2nd TFT20 It is formed on this gate dielectric film 4. The gate electrode 25 of 2nd TFT20 It connects with the active layer 6 of 1st TFT10, and the 2nd electrode 8 of the auxiliary capacity Cs of one, and as shown in drawing 10 (a), it extends in the direction of a train from a



connection part with the auxiliary capacity Cs, and patterning is carried out so that the upper part of an active layer 16 may be widely covered on gate dielectric film 4.

[0080] With the gate electrode 25, the field where the upper part is covered is channel field 16c, and, as for the active layer 16 of 2nd TFT20, 16s of source fields and 16d of drain fields are formed in the both sides of this channel field 16c, respectively. With this operation gestalt 2, 16s of source fields of this active layer 16 is electrically connected with power-source Rhine VL [ near the auxiliary capacity Cs ] through the contact hole formed by penetrating gate dielectric film 4 and an interlayer insulation film 14. Moreover, 16d of drain fields is near the gate line GL equivalent to the next line of a matrix, and they are connected with the connector (wiring layer) 40 through the contact hole formed by penetrating gate dielectric film 4 and an interlayer insulation film 14. A connector 40 is prolonged from a 16d [ of drain fields ] connection field to the formation field of an organic EL device 50, and is electrically connected with the ITO electrode (anode plate) 52 of an organic EL device 50 through the contact hole formed in the 1st flattening insulating layer 18 which covers the above-mentioned interlayer insulation film 14, power-source Rhine VL, and a connector 40, and is formed.

[0081] Moreover, in drawing 10 (b), on the above-mentioned 1st flattening layer 18, opening only of the formation central field of the anode plate 52 of an organic EL device 50 is carried out, and the 2nd flattening insulating layer 61 is formed so that the edge of an anode plate 52, a wiring field, and the formation field of the 1st and 2nd TFT(s) may be covered. And the light emitting device layer 51 of an organic EL device 50 is formed on the anode plate 52 and the 2nd flattening insulating layer 61.

Moreover, on the light emitting device layer 51, the metal electrode 57 common to all pixels is formed.

[0082] Next, channel length CL of 2nd TFT20 and relation with the migration pitch P of laser are explained. As mentioned above, about channel length CL of 2nd TFT20, although lengthening enough is suitable, in order not to carry out annealing of all the channel fields by 1 time of the pulse laser, it is desirable that the migration pitch P of laser serves as  $P < CL$  to channel length CL. It is suitable for the migration pitch P to adjust equipment so that a setup of the optical-system system of a laser annealer etc. can adjust and it may be set to  $CL > P$  in such a case. For example, even if the die length of a pixel line writing direction is about 30 micrometers in the case of the display of the resolution of 200dpi extent, the direction of a train can secure about 80 micrometers. Furthermore, channel length CL can secure 50 micrometers – about 80 micrometers by arranging so that the direction of channel length may turn to 2nd TFT20 at a pixel longitudinal direction in the case of migration pitch P 20micrometer – 35micrometer of laser, and the above-mentioned relation can be filled. With such relation, a multiple-times pulse laser is irradiated and channel field 16c of 2nd TFT20 surely becomes possible [ reducing the difference of the property ] between 2nd TFT20 of other pixels which will be polycrystal-ized and are similarly polycrystal-ized by the pulse laser exposure of multiple times.

[0083] In the above explanation, 2nd single TFT20 is formed between an organic EL device 50 and power-source Rhine VL in 1 pixel. However, two or more 2nd TFT20 may be formed in 1 pixel. Drawing 11 shows an example of a layout in case parallel connection of two or more 2nd TFT20 is carried out between power-source Rhine 16 and an organic EL device 50 within 1 pixel. In addition, the equal circuit of the pixel configuration shown in drawing 11 is equivalent to the case where TFT30 for compensation is removed in the circuit of above-mentioned drawing 6, both source field 16sa of 2nd two TFT20 and 16sb are connected to power-source Rhine VL, and 16deca of drain fields and 16db are connected to the anode plate 52 of an organic EL device 50 through contact 40, respectively [ both ]. Thus, also at the lowest, the probability which both two or more 2nd TFT20 serves as a defect about 1 pixel at coincidence, and becomes impossible [ a current supply source ] at an organic EL device by forming two or more 2nd TFT20 in 1 pixel can be reduced below in one half.

[0084] Like drawing 10, to the longitudinal direction (here, it is in agreement also in the extension direction of a data line DL) of a pixel field, about two arrangement of 2nd TFT 20a and 20b, it arranges so that the direction of channel length may become almost parallel. It is possible to secure each channel length CL by such arrangement as for a long time as possible, carrying out the maximum reservation of

the luminescence field. Furthermore, about the scanning direction of laser annealing, also in drawing 11, it is set up so that it may become parallel to any two directions of channel length of 2nd TFT 20a and 20b. Moreover, both the active layers 16a and 16b are arranged in on a straight line. although it is not indispensable that two or more active layers of each of 2nd TFT 20a and 20b are not necessarily mutually located in a line on a straight line -- 2nd TFT 20a and 20b -- each -- channel field 16ca and 16cb can prevent more certainly that the property of TFT(s) 20a and 20b varies similarly by being shifted also a little to a laser scanning direction, without being completely in agreement mutually. That is, dispersion in the amount of the currents total [ which is supplied to the organic EL device / in / the possibility of problem / that possibility that annealing of the channel of two TFT(s) will be carried out to coincidence by the pulse same by the direction of channel length being mutually shifted to the laser scanning direction decreases, and do not shift from the set point completely similarly / the property of 2nd TFT 20a and 20b /, or both transistors do not operate to coincidence / generating can be reduced sharply, and / every pixel / 60 ] can be reduced.

[0085] two channel length CLa and CLb of 2nd TFT 20a and 20b -- the any -- although -- it is desirable that it is larger than the migration pitch P of laser as mentioned above. Furthermore, it is more desirable to make it larger than the migration pitch P of laser also with two or more channel 16ca(s) of 2nd TFT 20a and 20b and the clearance L with 16cb. However, if the sum total channel length of at least two TFT(s) 20a and 20b and the sum total of the above-mentioned clearance L are larger than the migration pitch P when two or more 2nd TFT20 is arranged in 1 pixel like drawing 11, or coincidence fault arises in two or more transistor TFT2a in 1 pixel, and TFT2b, it can prevent that a property shifts similarly, and the property dispersion reduction effectiveness of every pixel will be acquired by laser annealing.

[0086] The more efficient connection method of two or more 2nd TFT20 and the corresponding organic EL device 50 is explained in 1 pixel as the [operation gestalt 3], next an operation gestalt 3. As shown in drawing 11 of the above-mentioned operation gestalt 1 and the operation gestalt 2, it is suitable in viewpoints, such as improvement in dependability, and improvement in a property, to form two or more 2nd TFT20 between an organic EL device 50 and power-source Rhine VL within 1 pixel. Thus, when forming two or more 2nd TFT20 in 1 pixel, as shown in drawing 11, the current supply source through 2nd TFT20 from power-source Rhine VL to an organic EL device 50 becomes more certain by connecting 2nd TFT 20a and 20b and an organic EL device 50, respectively. However, in the case of the organic EL device of the type which injects the light from a luminous layer 55 outside through the downward substrate 1 from the transparent anode plate 52 as shown in drawing 10 (b), the contact section is shaded in many cases. For example, in drawing 9 R> 9 (c) and drawing 10 (b), connection with 2nd TFT20 of an organic EL device 50 is made through the wiring layer 40 which is metal wiring, the wiring layer 40 of protection-from-light nature exists down the anode plate 52 in the contact section of this wiring layer 40 and anode plate 52, and it cannot be passed through the light from a luminous layer 55 to a substrate 1 side in this field. Therefore, if only the same number as the number n of 2nd TFT20 prepares the contact section of 2nd TFT20 and an organic EL device 50, luminescence area will decrease in proportion to the number of contacts.

[0087] then -- in order to make reduction of luminescence area into the minimum -- several n of 2nd TFT20 per pixel ( $n \geq 2$ ) -- receiving -- this -- it is suitable to make the number of contacts of 2nd TFT20 and an organic EL device 50 or less into  $n-1$ . At above-mentioned drawing 8, and drawing 12, drawing 13 and drawing 14 which are explained below, n 2nd TFT20 and organic EL devices 50 are connected with the  $n-1$  or less number of contacts. In addition, in each drawing explained henceforth, the same sign is given to the part which is common on the already explained drawing, and explanation is omitted.

[0088] Drawing 12 shows the contact approach with the organic EL device 50 at the time of carrying out parallel connection of 2nd two TFT 20a and 20b between power-source Rhine VL and an organic EL device 50. In addition, 2nd two TFT 20a and 20b is arranged so that the direction of channel length may

become parallel like above-mentioned drawing 11 to the longitudinal direction (the extension direction of a data line DL) which is a pixel, or the scanning direction of laser annealing, it is arranged so that it may shift still more nearly mutually, and it is aiming at reduction of brightness dispersion between pixels, and improvement in dependability.

[0089] In the example of drawing 12, the semi-conductor layer which consists of p-Si by which patterning was carried out to the shape of a single island is used as two active layers 16a and 16b of 2nd TFT 20a and 20b. The both-ends sides of that direction of a train are each the 2TFT20a, source field (in case of p-chTFT) 16sa of 20b, and 16sb, and this semi-conductor pattern is connected with power-source Rhine VL, respectively. Moreover, 16deca (when it is p-chTFT) of drain fields of two TFT(s) 20a and 20b and 16db(s) are connected in the single wiring layer 40 to which near the center of a semi-conductor pattern was allotted between two TFT(s), and the common contact hole formed by penetrating an interlayer insulation film 14 and gate dielectric film 4 (refer to drawing 10 (b)).

[0090] This wiring layer 40 is prolonged to the anode plate formation field of an organic EL device 50, and is connected with the anode plate 52 of an organic EL device 50 through one contact hole by which opening was carried out to the 1st flattening insulating layer 18 like the cross-section structure of drawing 10 (b). Here, the wiring layer 40, the anode plate 52, and the connecting location serve as near the center of the pixel longitudinal direction of an anode plate 52 in drawing 12. If a contact location is compared with a metal electrode by being arranged like drawing 12 in the location of an anode plate 52 comparatively near a center although not necessarily limited like drawing 12 -- high -- it is possible for the equalization effectiveness of the current density in the formation field of the anode plate 52 which consists of ITO [ \*\*\*\* ] etc. to be acquired, and to raise the homogeneity of the luminescence brightness in the luminescence side which is each pixel.

[0091] In the example shown in drawing 13, the number of 2nd TFT(s)20 is set to 3, and parallel connection of these three TFT(s) 20-1, 20-2, and 20-3 is carried out between power-source Rhine VL and the anode plate 52 of an organic EL device 50. Three active layers 16 of 2nd TFT20 are one, and the direction of channel length is set as the line writing direction in drawing. the 2nd -- TFT20-1-3 -- each -- channel field 16c1-3 are mutually separated by opening of the pattern of an active layer 16 being carried out in the channel width direction.

[0092] This 2nd three TFT20 is constituted by metal wiring which it connected by power-source Rhine VL and one place, and the single wiring layer 40 connected also with the anode plate 52 of an organic EL device 50 by one place, the gate electrode 25 is common about three TFT(s), and was electrically connected to the 2nd electrode 8 of the auxiliary capacity Cs, and was prolonged in the direction of a train from near auxiliary capacity Cs here. the example of a configuration of drawing 13 -- the three 2nd -- TFT20-1-3 and an organic EL device 50 are connected by the one contact section, the rate of the contact section occupied to the formation field of an organic EL device 50 can be made low, and it can be made high, the numerical aperture, i.e., the luminescence area, per pixel.

[0093] In the example shown in drawing 14, the number of 2nd TFT(s)20 is set to 4, and parallel connection of these four TFT20-1-4 is electrically carried out between power-source Rhine VL and the anode plate 52 of an organic EL device 50. four active layers 16 of 2nd TFT20 consist of one -- having -- every -- the direction of channel length of TFT20-1-4 was set up like drawing 12 etc. in parallel with the longitudinal direction of a pixel field, or the extension direction of a data line DL, and four are located in a line on about 1 straight line.

[0094] the four 2nd -- it connects by power-source Rhine VL and three places, and TFT20-1-4 are connected by the 1st and 2nd wiring layer 40-1 and 40-2 by the anode plate 52 of an organic EL device 50, and two places here. 4 is independently connected with power-source Rhine VL for 1 or 16s, respectively TFT 20-1 located in the outermost part of the single active layer 16, and 16s of each source field of 20-4, and TFT 20-2 located in the center, and 16s of each source field of 20-3, 2 and 16s3 are common to the example of a configuration of drawing 14, and they are connected to power-source Rhine VL in it. 1 and 16d2 are connected to the 1st wiring layer 40-1 to which 2nd TFT 20-1 and

20-2, and an organic EL device 50 extend from between 20-2 to 2nd TFT 20-1 and a component 50 16d of drain fields, and this 1st wiring layer 40-1 is prolonged to the formation field of an organic EL device 50, and it connects with the anode plate 52 of a component. Moreover, 3 and 16d4 are connected to the 2nd wiring layer 40-2 to which 2nd TFT 20-3 and 20-4, and an organic EL device 50 extend from between 20-4 to 2nd TFT 20-3 and a component 50 16d of drain fields, and this 2nd wiring layer 40-2 is prolonged to the formation field of an organic EL device 50, and it connects with the anode plate 52 of a component. thus, the four 2nd -- TFT20-1-4 and two organic EL devices 50 are connected -- having --  
- \*\*\*\* -- the four 2nd -- reduction of the luminescence field by preparing TFT20-1-4 is controlled.  
[0095] moreover, the configuration of drawing 14 -- setting -- the four 2nd -- since TFT20-1-4 are arranged so that the direction of channel length may be suitable on about 1 straight line along with the longitudinal direction of a pixel -- the 2nd -- it makes it possible to arrange TFT20-1-4 in 1 pixel efficiently.

[0096] With reference to the [operation gestalt 4] next drawing 15 - drawing 20, the connection structure of 2nd TFT20 and an organic EL device 50 is explained. As explained in the operation gestalt 3, in the case of the method (bottom emission) which penetrates the transparence anode plate 52 and emits light outside from the downward substrate 1, the contact field of an organic EL device 50 and 2nd TFT20 turns into a nonluminescent field in many cases. Moreover, if it is improvement in a degree of integration, and a display in many integrated circuits etc., in order to realize improvement in resolution etc., to lessen contact area as much as possible is desired. When not carrying out direct continuation from such a viewpoint for improvement in connection characteristics also when carrying out direct continuation of the active layer 16 of 2nd TFT20, and the anode plate 52 of an organic EL device 50, but making metal connection layers (aluminum layer, Cr layer, etc.) intervene, it is desirable to form the 1st contact hole 70 of an interlayer insulation film 14 and the 2nd contact hole 72 of the 1st flattening insulating layer 18 in piles, as shown in drawing 15.

[0097] However, as shown in drawing 15 (a), when two or more contact holes are formed in piles, a contact hole sum total level difference ( $h_{70}+h_{72}$ ) becomes large, and the surface display flatness of the layer formed on a contact hole falls. Furthermore, although the 2nd flattening insulating layer 61 of a wrap may be adopted in the edge field of an anode plate 52 as shown in drawing 15 (a) since the short circuit of the anode plate 52 and cathode 57 by the poor coverage of the light emitting device layer 51 in an anode plate edge field is prevented, in the central field of an anode plate 52, opening of this 2nd flattening insulating layer 61 is carried out. Therefore, opening of the 2nd flattening insulating layer 61 will be formed near the 1st and 2nd contact holes 70 and 72 of the above, and, as for the forming face of the light emitting device layer 51, the effect of the level difference  $h_{74}$  by opening of this 2nd flattening insulating layer 61 will also receive it further.

[0098] On the other hand, if the organic EL device 50 is making the luminescent organic compound contained in a luminous layer 55 by passing a current in the light emitting device layer 51 emit light and a big difference is in the thickness in the layer of the light emitting device layer 51, electric-field concentration tends to break out in a part thinner than others, and it is known that it will be easy to generate a dark spot into such a part. In order for a dark spot to reduce display quality and to expand it by component drive in many cases, it also becomes shortening a component life. Therefore, when forming an organic EL device 50 in the upper layer of a contact field, it is required that the surface smoothness of the forming face of the light emitting device layer 51 should be raised as much as possible, and contact structure like drawing 15 which will be formed in a field with very much irregularity does not have the desirable light emitting device layer 51 from viewpoints, such as improvement in dependability of the light emitting device layer 51.

[0099] Drawing 16 shows the example of the connection method which raised the surface smoothness in the forming face of the light emitting device layer 51 based on the above. Drawing 16 (a) shows the cross-section structure of the contact part of the active layer 16 of 2nd TFT20, and the anode plate 52 of an organic EL device 50, and drawing 16 (b) shows the outline planar structure of this contact part.

The connection structure shown in drawing 16 is common in drawing 8 and drawing 9 which explained the edge field of an anode plate 52 that the 2nd flattening insulating layer 61 of a wrap exists in the operation gestalt 1 except for the point that the 2nd TFT is the top gate, and the connecting location of a wiring layer 40 and an anode plate 52 shifts from the connecting location of a wiring layer 40 and the active layer 16 of 2nd TFT20, and it is arranged. By adopting such a layout, in the contact field of a wiring layer 40 and an anode plate 52, an anode plate front face, i.e., the forming face of the light emitting device layer 51, is only influenced of the level difference  $h_{72}$  by the 2nd contact hole 72, and it is not influenced of the level difference  $h_{70}$  by the 1st contact hole 70 like drawing 15. Therefore, a light emitting device layer forming face, especially a luminous layer 55 are formed, and improvement in the surface smoothness of the component layer forming face in the luminescence field which is each pixel is achieved so that he can understand also from the comparison of drawing 15 and drawing 16.

[0100] Drawing 17 shows the approach for making still flatter the forming face of the light emitting device layer in above-mentioned drawing 16. In the example shown in drawing 17, while shifting the formation location of the 2nd contact hole 72 which connects a wiring layer 40 and the anode plate 52 of an organic EL device 50 from the formation location of the 1st contact hole 70 like drawing 16, the 2nd contact hole 72 is covered by the 2nd flattening insulating layer 61. Therefore, in the field in which a luminous layer 55 is formed, it is possible for it not to be influenced of the level difference by the 2nd contact hole 72, but to improve the surface smoothness of a light emitting device layer forming face much more not to mention the 1st contact hole 70. Moreover, since the 2nd flattening insulating layer 61 has covered the edge field of an anode plate 52, short-circuit with an anode plate 52 and cathode 57 etc. is prevented certainly.

[0101] Here, the luminescence field of an organic EL device turns into a field where an anode plate 52 and cathode 57 counter on both sides of the luminous layer 55 arranged in between, and the field where the 2nd flattening insulating layer 61 is formed between the anode plate 52 and the light emitting device layer 51 does not emit light. Therefore, as for the part luminescence field, for a wrap reason, with the configuration shown in drawing 17, the 2nd flattening insulating layer 61 will decrease strictly to the upper part of not only the edge of an anode plate 52 but the 2nd contact hole 72. However, if the wiring layer 40 of protection-from-light nature etc. is formed in the lower layer as already explained, the formation field of a wiring layer 40 will turn into a nonluminescent field, if it sees from the outside. Therefore, even if the 2nd flattening insulating layer 61 adopts wrap structure for the 2nd contact hole 72 like drawing 17, reduction of an actual luminescence area per pixel by it can be controlled.

[0102] The approach of covering a contact hole by the 2nd flattening insulating layer 61 demonstrates the flat disposition top effectiveness of a light emitting device layer forming face, also when the 1st and 2nd contact holes 70 and 72 adopt it as the layout arranged in piles like above-mentioned drawing 15. That is, the active layer 16 of 2nd TFT20 and the anode plate 52 of an organic EL device 50 are connected like the cross-section structure of the contact section shown in drawing 18 by the 1st and 2nd contact holes 70 and 72 formed in piles, and the field where the top face of an anode plate 52 became depressed deeply by these two contact holes is covered by the 2nd flattening insulating layer 61. Therefore, a light emitting device layer forming face [ / above contact holes 70 and 72 ] turns into a good field of the surface smoothness formed of the 2nd flattening insulating layer 61. Moreover, at drawing 18, by forming two contact holes 70 and 72 in the same location, the component arrangement effectiveness within 1 pixel is high, and contributing to improvement in a luminescence field also becomes easy.

[0103] Drawing 19 explains the flattening approach of still more nearly another light emitting device layer forming face. The point which is different from drawing 17 is forming alternatively not the 2nd flattening insulating layer 61 but the embedding layer 62 on an anode plate 52, and filling the hollow by the contact hole in the formation field of the 2nd contact hole 72. Thus, even if it is the case where 2nd flattening insulating-layer 61 grade is not prepared by embedding a contact hole 72 alternatively on the wrap anode plate 52, and forming a layer 62, the light emitting device layer forming face on a contact hole can

be made flat. Moreover, as shown in drawing 20 , when forming the 1st and 2nd contact holes 70 and 72 in piles, it may embed like drawing 19 and a layer 62 may be adopted. In drawing 2020 , the deep hollow in which two contact holes embed on an anode plate 52, form the layer 62 in alternatively in the field formed in piles, and are formed of two contact holes is filled. Also in any of drawing 19 and drawing 20 , in a contact hole formation field, the light emitting device layer 51 will be formed on the flat field of the embedding layer 62, and can prevent fault generating of the light emitting device layer in this field.

[0104] In addition, although what kind of thing may be used as long as a top face becomes flat [ the quality of the material of the 2nd flattening insulating layer 61 and the above-mentioned embedding layer 62 ], not water nature but a stable insulating ingredient is good in reacting with the light emitting device layer 51. For example, polyimide, HMOSO, TOMCAT, TEOS, etc. can be used.

[0105]

[Effect of the Invention] As explained above, in this invention, it can be possible to ease dispersion in the property of the transistor which supplies power to driven components, such as an organic EL device, dispersion in the supply voltage to a driven component can be equalized, and luminescence brightness dispersion in a driven component etc. can be prevented.

[0106] Moreover, by this invention, a transistor, a component, etc. efficient [ in a limited area ] and required for it can be arranged by connecting to a driven component and this component the transistor which carries out an electric power supply with the minimum number of contacts. Therefore, when an EL element etc. is adopted as a driven component, the rate of luminescence area in a 1-pixel unit etc. can be improved.

[0107] Furthermore, in this invention, the surface smoothness of the field which forms a driven component can be improved, and it becomes possible to improve the dependability of a driven component.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the 1-pixel circuitry of a active-matrix mold organic electroluminescence display.

[Drawing 2] It is drawing showing the example of circuitry per pixel of the active-matrix mold organic electroluminescence display of the operation gestalt 1 of this invention.

[Drawing 3] It is drawing showing the I-V property of TFT.

[Drawing 4] It is drawing showing the effectiveness realized by this invention and conventional circuitry.

[Drawing 5] It is drawing showing another circuitry per pixel of the active-matrix mold organic electroluminescence display of the operation gestalt 1 of this invention.

[Drawing 6] It is drawing showing another circuitry per pixel of the active-matrix mold organic

electroluminescence display of the operation gestalt 1 of this invention.

[Drawing 7] It is drawing showing still more nearly another circuitry per pixel of the active-matrix mold organic electroluminescence display of the operation gestalt 1 of this invention.

[Drawing 8] It is the flat-surface block diagram of the active-matrix mold organic EL panel concerning this operation gestalt 1 equipped with the circuitry shown in drawing 7.

[Drawing 9] It is drawing showing the cross-section configuration which met A-A of drawing 8, B-B, and a C-C line.

[Drawing 10] It is the top view and sectional view per pixel of a active-matrix mold organic EL panel concerning the operation gestalt 2.

[Drawing 11] They are other examples of a flat-surface configuration per pixel of the active-matrix mold organic EL panel concerning the operation gestalt 2.

[Drawing 12] It is the top view per pixel of the active-matrix mold organic EL panel concerning the operation gestalt 3.

[Drawing 13] They are other examples of a flat-surface configuration per pixel of the active-matrix mold organic EL panel concerning the operation gestalt 3.

[Drawing 14] They are other examples of a flat-surface configuration per pixel of the active-matrix mold organic EL panel concerning the operation gestalt 2.

[Drawing 15] It is drawing showing the cross section and the planar structure in the contact section of the active layer 16 of the 2nd TFT, and the anode plate 52 of an organic EL device 50.

[Drawing 16] It is drawing showing the cross section and the example of the planar structure in the contact section of the active layer 16 of the 2nd TFT concerning the operation gestalt 3, and the anode plate 52 of an organic EL device 50.

[Drawing 17] It is drawing showing other examples of cross-section structure in the contact section of the active layer 16 of the 2nd TFT concerning the operation gestalt 3, and the anode plate 52 of an organic EL device 50.

[Drawing 18] It is drawing showing other examples of cross-section structure in the contact section of the active layer 16 of the 2nd TFT concerning the operation gestalt 3, and the anode plate 52 of an organic EL device 50.

[Drawing 19] It is drawing showing other examples of cross-section structure in the contact section of the active layer 16 of the 2nd TFT concerning the operation gestalt 3, and the anode plate 52 of an organic EL device 50.

[Drawing 20] It is drawing showing other examples of cross-section structure in the contact section of the active layer 16 of the 2nd TFT concerning the operation gestalt 3, and the anode plate 52 of an organic EL device 50.

#### [Description of Notations]

1 Substrate (Transparence Substrate), 2, 25, 35 Gate Electrode, 4 Gate Dielectric Film, 6 16 An active layer (p-si film), 10 The 1st TFT (TFT for switching), 14 An interlayer insulation film, 18 A flattening insulating layer, 20, 22, 24 The 2nd TFT (TFT for a component drive), 30, 32, 34 40 TFT for compensation, 42 Connector (wiring layer), 41 A metal connection layer, 50 An organic EL device, 51 Light emitting device layer, 52 An anode plate, 53 The 1st hole transportation layer, 54 The 2nd hole transportation layer, 55 An organic luminous layer, 56 An electronic transportation layer, 57 Cathode, GL A gate line, VL Power-source Rhine, DL data line.

---

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-175029  
(P2002-175029A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 0 9 F 9/30	3 6 5	G 0 9 F 9/30	3 6 5 Z 3 K 0 0 7
H 0 1 L 21/20		H 0 1 L 21/20	5 C 0 9 4
21/336		27/08	3 3 1 E 5 F 0 4 8
27/08	3 3 1	H 0 5 B 33/14	A 5 F 0 5 2
29/786		H 0 1 L 29/78	6 1 4 5 F 1 1 0
審査請求 未請求 請求項の数18 O L (全 20 頁) 最終頁に続く			

(21) 出願番号 特願2001-279802 (P2001-279802)  
(22) 出願日 平成13年9月14日 (2001.9.14)  
(31) 優先権主張番号 特願2000-300982 (P2000-300982)  
(32) 優先日 平成12年9月29日 (2000.9.29)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
(72) 発明者 安齋 勝矢  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(72) 発明者 古宮 直明  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(74) 代理人 100075258  
弁理士 吉田 研二 (外2名)

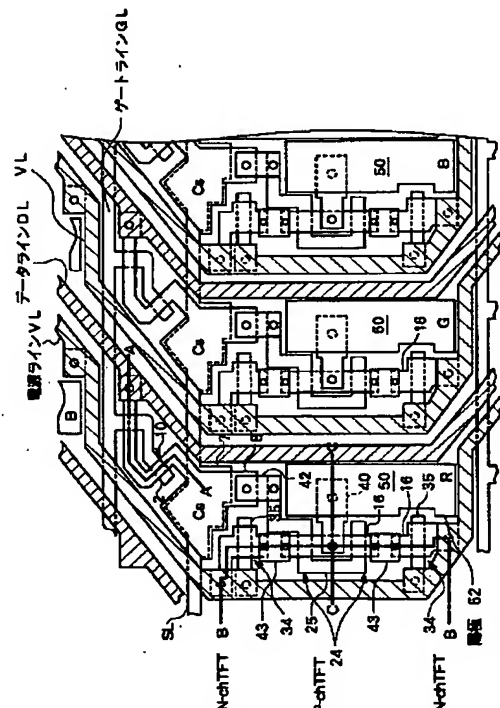
最終頁に続く

(54) 【発明の名称】 半導体装置及び表示装置

(57) 【要約】

【課題】 複数の有機EL素子への供給電流ばらつきを低減する。

【解決手段】 有機EL素子50と電源ラインVLとの間に、電源ラインVLから供給する電流量を制御する素子駆動用TFT20を備え、TFT20のチャネル長方向を、画素の長手方向、又はTFT20を制御するスイッチング用TFT10にデータ信号を供給するデータラインDLの延在方向、又はTFT20の能動層16を多結晶化するためのレーザアニールの走査方向に平行な方向に配置する。さらに電源ラインVLとTFT20の間にTFT20と逆特性の補償用TFT30を備えていても良い。



(2)

## 【特許請求の範囲】

【請求項1】 ゲート信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、

駆動電源と被駆動素子との間に設けられ、前記スイッチング用薄膜トランジスタから供給されるデータ信号に応じ、前記駆動電源から前記被駆動素子に供給する電力を制御する素子駆動用薄膜トランジスタと、を有し、さらに、前記駆動電源と前記素子駆動用薄膜トランジスタとの間には、前記素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタが設けられていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記補償用薄膜トランジスタは、前記駆動電源と前記素子駆動用薄膜トランジスタとの間に、ダイオード接続されていることを特徴とする半導体装置。

【請求項3】 請求項1又は請求項2に記載の半導体装置において、前記素子駆動用薄膜トランジスタは、互いに並列接続された複数の薄膜トランジスタから構成されることを特徴とする半導体装置。

【請求項4】 請求項1又は請求項2に記載の半導体装置において、前記素子駆動用薄膜トランジスタは、前記駆動電源と前記被駆動素子との間に、互いに並列接続された複数の薄膜トランジスタから構成され、前記補償用薄膜トランジスタは、前記並列接続された複数の薄膜トランジスタと、前記駆動電源との間にそれぞれ設けられていることを特徴とする半導体装置。

【請求項5】 請求項1～4のいずれか一つに記載の半導体装置において、前記被駆動素子は、第1及び第2電極の間に発光層を備えて構成されるエレクトロルミネッセンス素子であることを特徴とする半導体装置。

【請求項6】 請求項5に記載の装置において、前記エレクトロルミネッセンス素子は、有機化合物を発光層に用いた有機エレクトロルミネッセンス素子であることを特徴とする半導体装置。

【請求項7】 請求項1～6のいずれか一つに記載の半導体装置は、マトリクス状に配置された各画素が、前記スイッチング用薄膜トランジスタと、前記素子駆動用薄膜トランジスタと、前記補償用薄膜トランジスタと、表示素子としての前記被駆動素子と、を備えたアクティブマトリクス型の表示装置に用いられていることを特徴とする半導体装置。

【請求項8】 請求項1～7のいずれか一つに記載の半導体装置において、前記素子駆動用薄膜トランジスタ及び前記補償用薄膜トランジスタのチャンネル長方向は、前記スイッチング用薄

2

膜トランジスタに前記データ信号を供給するデータラインの延びる方向に沿うように配置されていることを特徴とする半導体装置。

【請求項9】 マトリクス状に配置された複数の画素のそれぞれが、少なくとも、被駆動素子と、駆動電源からの電力を被駆動素子に供給する素子駆動用薄膜トランジスタと、を備えるアクティブマトリクス型の表示装置であり、

前記複数の画素の各画素領域は、マトリクスの行及び列方向の辺のうちの一方が他方より長く、前記素子駆動用薄膜トランジスタは、そのチャンネル長方向が、前記画素領域の長い方の辺に沿って配置されていることを特徴とする表示装置。

【請求項10】 請求項9に記載の表示装置において、前記画素領域は、マトリクスの行方向よりも列方向の辺が長く、前記素子駆動用薄膜トランジスタは、そのチャンネル長方向が、前記列方向に沿って配置されていることを特徴とする表示装置。

【請求項11】 電源ラインからの駆動電流に対応する被駆動素子に供給する少なくとも一つの素子駆動用薄膜トランジスタと、

選択時に供給されるデータに基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を備え、

前記素子駆動用薄膜トランジスタのチャンネル長方向は、前記スイッチング用薄膜トランジスタに前記データ信号を供給するデータラインの延びる方向に沿うように配置されていることを特徴とする半導体装置。

【請求項12】 請求項1～8及び請求項11のいずれか一つに記載の半導体装置又は表示装置において、前記素子駆動用薄膜トランジスタのチャンネル長方向は、前記スイッチング用薄膜トランジスタのチャンネル長方向と一致しないことを特徴とする半導体装置又は表示装置。

【請求項13】 請求項1～請求項12のいずれか一つに記載の装置において、

前記素子駆動用薄膜トランジスタのチャンネル長方向が、該トランジスタのチャンネル領域をアニールするための線状パルスレーザの走査方向に沿うように該素子駆動用薄膜トランジスタが形成されていることを特徴とする半導体装置又は表示装置。

【請求項14】 供給電力に応じて動作する被駆動素子と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための $n$ 個（ $n$ は、2以上の整数）の薄膜トランジスタを備え、

該 $n$ 個の複数の薄膜トランジスタと対応する前記被駆動素子とは、 $n-1$ 以下の数のコンタクトによって電氣的に接続されていることを特徴とする半導体装置。

【請求項15】 供給電力に応じて動作する被駆動素子

(3)

3

と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための薄膜トランジスタを備え、

該薄膜トランジスタと対応する前記被駆動素子とは、配線層によって互いに電氣的に接続され、該配線層と該薄膜トランジスタとのコンタクト位置と、該配線層と前記被駆動素子とのコンタクト位置とが離間して配置されていることを特徴とする半導体装置。

【請求項16】 請求項15に記載の半導体装置において、

前記被駆動素子は、第1及び第2電極の間に発光素子層を備えた発光素子であり、

前記配線層の上層に形成された絶縁層にはコンタクトホールが形成されており、該コンタクトホールにおいて、前記配線層は、前記絶縁層の上に前記コンタクトホールを覆って形成された前記発光素子の前記第1電極と接続され、

前記第1電極の少なくともコンタクトホール領域は平坦化層によって覆われ、前記第1電極及び前記平坦化層の上層に前記発光素子層が形成されていることを特徴とする半導体装置。

【請求項17】 供給電力に応じて動作し、第1及び第2電極の間に発光素子層を備える被駆動素子と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための薄膜トランジスタを備え、

該薄膜トランジスタと対応する前記被駆動素子とは、下層に形成された前記薄膜トランジスタと前記被駆動素子との層間を隔てる絶縁層に形成されたコンタクトホールにおいて直接又は間接的に互いに電氣的に接続され、

前記第1電極の少なくともコンタクトホール領域は平坦化層によって覆われ、前記第1電極及び前記平坦化層の上層に前記発光素子層が形成されていることを特徴とする半導体装置。

【請求項18】 請求項9～請求項17のいずれか一つに記載の装置において、

前記被駆動素子は、有機化合物を発光層に用いた有機エレクトロルミネッセンス素子であることを特徴とする半導体装置又は表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、エレクトロルミネッセンス表示装置、特にその画素部の回路構成トランジスタに関する。

【0002】

【従来の技術】自発光素子であるエレクトロルミネッセンス(Electroluminescence: 以下EL)素子を各画素に発光素子として用いたEL表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置(LCD)やCRTなどの表示装置に代わ

4

る表示装置として注目され、研究が進められている。

【0003】また、なかでも、EL素子を個別に制御する薄膜トランジスタ(TFT)などのスイッチ素子を各画素に設け、画素毎にEL素子を制御するアクティブマトリクス型EL表示装置は、高精細な表示装置として期待されている。

【0004】図1は、m行n列のアクティブマトリクス型EL表示装置における1画素当たりの回路構成を示している。EL表示装置では、基板上に複数本のゲートラインGLが行方向に延び、複数本のデータラインDL及び電源ラインVLが列方向に延びている。また各画素は有機EL素子50と、スイッチング用TFT(第1TFT)10、EL素子駆動用TFT(第2TFT)20及び補助容量Csを備えている。

【0005】第1TFT10は、ゲートラインGLとデータラインDLとに接続されており、ゲート電極にゲート信号(選択信号)を受けてオンする。このときデータラインDLに供給されているデータ信号は第1TFT10と第2TFT20との間に接続された補助容量Csに保持される。第2TFT20のゲート電極には、上記第1TFT10を介して供給されたデータ信号に応じた電圧が供給され、この第2TFT20は、その電圧値に応じた電流を電源ラインVLから有機EL素子50に供給する。このような動作により、各画素ごとにデータ信号に応じた輝度で有機EL素子を発光させ、所望のイメージが表示される。

【0006】ここで、有機EL素子は、陰極と陽極との間に設けた有機発光層に電流を供給することで発光する電流駆動型の素子である。一方、データラインDLに出力されるデータ信号は、表示データに応じた振幅の電圧信号である。そこで、従来より、有機EL表示装置では、このようなデータ信号によって有機EL素子を正確に発光させる目的で、各画素には第1TFT10と第2TFT20とを設けている。

【0007】

【発明が解決しようとする課題】上述の有機EL表示装置において、その表示品質、信頼性はまだ十分ではなく、第1及び第2TFT10、20それぞれの特性ばらつきの解消が必要である。特に、電源ラインVLから有機EL素子50に供給する電流量を制御する第2TFTの特性ばらつきは直接発光輝度にばらつきを発生させるので、そのばらつきを小さくすることが要求されている。

【0008】また、これら第1及び第2TFT10、20を動作速度が速く、低電圧駆動の可能な多結晶シリコンTFTによって構成することが好適である。多結晶シリコンを得るためには、非晶質シリコンをレーザアニールによって多結晶化させることが行われるが、照射レーザの照射面内でのエネルギーばらつき等に起因して多結晶シリコンのグレインサイズが不均一となる。このグレイン

(4)

5

ンサイズのばらつき、特にTFTチャネル付近においてばらつきが起きると、TFTのオン電流特性などがばらついてしまうという問題もある。

【0009】本発明は、上記課題に鑑みなされたものであり、有機EL素子を制御するTFTの特性ばらつきを緩和することで、各発光画素を均一な輝度で発光させることが可能なアクティブマトリクス型有機ELパネルを提供することを目的とする。

【0010】また、本発明の他の目的は有機EL素子などを被駆動素子として備える装置において、その信頼性や特性向上を図ることである。

【0011】

【課題を解決するための手段】上記目的を達成するためにこの発明は、第1及び第2電極の間に発光層を備えて構成されるエレクトロルミネッセンス素子と、ゲート信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、駆動電源と前記エレクトロルミネッセンス素子との間に設けられ、前記スイッチング用薄膜トランジスタから供給されるデータ信号に応じ、前記駆動電源から前記エレクトロルミネッセンス素子に供給する電力を制御する素子駆動用薄膜トランジスタと、を有し、さらに、前記駆動電源と前記素子駆動用薄膜トランジスタとの間には、前記素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタが設けられている。

【0012】このような逆導電特性の補償用薄膜トランジスタにより、素子駆動用薄膜トランジスタとで、特性シフトのばらつきを吸収しあうことができるため、個々のトランジスタのばらつきを全体として緩和でき、特性ばらつきによるエレクトロルミネッセンス素子における発光輝度ばらつきを防止できる。

【0013】また本発明の他の態様は、前記補償用薄膜トランジスタは、前記駆動電源と前記素子駆動用薄膜トランジスタとの間に、ダイオード接続されていることである。

【0014】これにより補償用薄膜トランジスタについて特別な制御信号を供給する必要なく素子駆動用薄膜トランジスタの特性ばらつきを補償することができる。

【0015】本発明の他の態様は、上記表示装置において、前記素子駆動用薄膜トランジスタは、互いに並列接続された複数の薄膜トランジスタから構成されることである。

【0016】本発明のさらに別の態様は、上記素子駆動用薄膜トランジスタが、前記駆動電源と前記エレクトロルミネッセンス素子との間に、互いに並列接続された複数の薄膜トランジスタから構成され、前記補償用薄膜トランジスタは、前記並列接続された複数の薄膜トランジスタと、前記駆動電源との間にそれぞれ設けられていることである。

【0017】このように素子駆動用薄膜トランジスタを

6

並列に複数設けることで、個々のトランジスタに特性ばらつきが発生しても、並列接続されたトランジスタの全体の特性に対する影響を緩和することができる。このため、EL素子に対してばらつきが少なく電流を供給することができる。さらに、補償用薄膜トランジスタについてもこれを複数とすれば、個々のトランジスタの特性のばらつきが画素トランジスタ全体の特性に与える影響を低減でき、EL素子の均一輝度での発光が容易となる。

【0018】本発明の他の態様において、上記半導体装置は、マトリクス状に配置された各画素が、前記スイッチング用薄膜トランジスタと、前記素子駆動用薄膜トランジスタと、前記補償用薄膜トランジスタと、表示素子としての前記被駆動素子と、を備えたアクティブマトリクス型の表示装置に用いることができる。

【0019】本発明の他の態様では、上記半導体装置において、前記素子駆動用薄膜トランジスタ及び前記補償用薄膜トランジスタのチャネル長方向は、前記スイッチング用薄膜トランジスタに前記データ信号を供給するデータラインの延びる方向に沿うように配置されている。

【0020】本発明の他の態様は、マトリクス状に配置された複数の画素のそれぞれが、少なくとも、被駆動素子と、駆動電源からの電力を被駆動素子に供給する素子駆動用薄膜トランジスタと、を備えるアクティブマトリクス型の表示装置であり、前記複数の画素の各画素領域は、マトリクスの行及び列方向の辺のうちの一方が他方より長く、前記素子駆動用薄膜トランジスタは、そのチャネル長方向が、前記画素領域の長い方の辺に沿って配置されている。

【0021】本発明の他の態様に係る表示装置では、前記画素領域は、マトリクスの行方向よりも列方向の辺が長く、前記素子駆動用薄膜トランジスタは、そのチャネル長方向が、前記列方向に沿って配置されている。

【0022】本発明の他の態様に係る半導体装置では、電源ラインからの駆動電流を対応する被駆動素子に供給する少なくとも一つの素子駆動用薄膜トランジスタと、選択時に供給されるデータに基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を備え、前記素子駆動用薄膜トランジスタのチャネル長方向は、前記スイッチング用薄膜トランジスタに前記データ信号を供給するデータラインの延びる方向に沿うように配置されている。

【0023】以上のような配置を採用することで、被駆動素子に電力を供給する素子駆動用薄膜トランジスタのチャネル長を長くでき、耐圧などトランジスタの信頼性を向上することができる。また、被駆動素子に対してそれぞれ設けられる素子駆動用薄膜トランジスタの特性を平均化することができ、被駆動素子が供給電力によって発光輝度の異なる発光素子などの場合においても素子毎の発光輝度のばらつきを抑えることができる。また、例えば1つの被駆動素子に対してそれぞれ十分なチャネル

(5)

7

長を備えた複数の素子駆動用薄膜トランジスタを並列又は直列接続して画素内に効率的に配置することなどが容易であり、被駆動素子が発光素子などである場合において発光領域を増加させることも可能となる。

【0024】本発明の他の態様に係る半導体装置又は表示装置は、前記素子駆動用薄膜トランジスタのチャネル長方向が、該トランジスタのチャネル領域をアニールするための線状パルスレーザの走査方向に沿うように該素子駆動用薄膜トランジスタが形成されている。

【0025】このように素子駆動用薄膜トランジスタのチャネル長方向にレーザアニールの走査方向を合わせることで、他の被駆動素子に電力を供給する素子駆動用薄膜トランジスタのトランジスタ特性との差を確実に小さくすることができる。

【0026】レーザアニールでは、レーザ出力エネルギーのばらつきがある。このばらつきにはパルスレーザの1照射領域内でのばらつきと、ショット間でのばらつきが存在する。一方、例えばアクティブマトリクス型表示装置などの半導体装置に採用される素子駆動用薄膜トランジスタは、チャネル幅に対してチャネル長が非常に長く設計されることが多い。また、上述のように画素領域の長い方の辺に沿って配置したり、列方向或いはデータラインの延在方向に沿って素子駆動用薄膜トランジスタを形成することで、素子駆動用薄膜トランジスタのチャネル長を十分な長さとするのが容易となる。そして、レーザの走査方向を素子駆動用薄膜トランジスタのチャネル長方向に概ね一致するか、言い換えると、レーザの照射領域の長手方向がチャネルをその幅方向に横切るよう設定することで、1つの素子駆動用薄膜トランジスタのチャネル全領域が単一ショットによってアニールされないように容易に調整することができる。これは、例えば上記素子駆動用薄膜トランジスタのチャネル長をパルスレーザの1回の移動ピッチよりも長く設定すれば容易に実現できる。よって、同一基板上に複数の被駆動素子が形成され、この素子にそれぞれ電力を供給する素子駆動用薄膜トランジスタが複数形成される場合に、この薄膜トランジスタの能動層は複数回のショットによってレーザアニールすることが可能となり、ショット間におけるエネルギーばらつきを各トランジスタが均等に被り、各薄膜トランジスタの特性を確実に平均化することが可能となる。これによって、例えば被駆動素子として有機化合物が発光層に用いられた有機EL素子が用いられた有機EL表示装置などでは、各画素に設けられる有機EL素子における発光輝度のばらつきを非常に小さくすることができる。

【0027】本発明の他の態様では、上記半導体装置において、前記素子駆動用薄膜トランジスタのチャネル長方向は、前記スイッチング用薄膜トランジスタのチャネル長方向と一致しない。

【0028】スイッチング用薄膜トランジスタは、この

8

トランジスタを選択する選択ラインと、データ信号を供給するデータラインとが交差する近傍に配置され、多くの場合、選択ラインの延在方向とスイッチング用薄膜トランジスタのチャネル長方向が概ね平行するように配置される。このような場合に、素子駆動用薄膜トランジスタのチャネル長方向をスイッチング用薄膜トランジスタと異なる方向に配置することで、素子駆動用薄膜トランジスタはチャネル長を長くすることが容易となる。

【0029】本発明の他の態様に係る半導体装置では、供給電力に応じて動作する被駆動素子と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための $n$ 個（ $n$ は、2以上の整数）の薄膜トランジスタを備え、該 $n$ 個の複数の薄膜トランジスタと対応する前記被駆動素子とは、 $n-1$ 以下の数のコンタクトによって電氣的に接続されている。

【0030】被駆動素子への電力供給の確実性や、ばらつき防止などの観点において、被駆動素子に電力を供給する素子駆動用薄膜トランジスタを複数設けることは、効果が高い。一方で、例えば被駆動素子が発光素子などである場合においてコンタクト部は非発光領域となることが多い。従って、被駆動素子に電力を供給する $n$ 個の薄膜トランジスタと被駆動素子とのコンタクト数を $n-1$ 以下とすることで、装置としての信頼性向上を図りつつ被駆動素子の実動作領域（発光素子であれば発光領域）を最大限確保することが可能となる。

【0031】本発明の他の態様に係る半導体装置は、供給電力に応じて動作する被駆動素子と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための薄膜トランジスタを備え、該薄膜トランジスタと対応する前記被駆動素子とは、配線層によって互いに電氣的に接続され、該配線層と該薄膜トランジスタとのコンタクト位置と、該配線層と前記被駆動素子とのコンタクト位置とが離間して配置されている。

【0032】このように配線層と該薄膜トランジスタとのコンタクト位置と、該配線層と前記被駆動素子とのコンタクト位置とが離間して配置されることにより、配線層よりも上層に形成されることが多い被駆動素子をより平坦な面の上に形成することが容易となる。薄膜トランジスタと配線層とは絶縁層により隔てられており、これらのコンタクトは絶縁層に形成したコンタクトホールにおいて行われる。また、配線層と被駆動素子との接続は、両者を絶縁する絶縁層に形成したコンタクトホールを介して行われる。従って、薄膜トランジスタと配線層を接続するコンタクトホールと、配線層と被駆動素子とを接続するコンタクトホールとが重なった位置に形成されると、最も上層に形成される被駆動素子は2つ（2段）のコンタクトホールによってできた大きな凹凸面の上に形成されることになる。被駆動素子として発光素

(6)

9

子、例えば、有機化合物が発光層に用いられた有機EL素子を採用した場合、有機化合物を含む層は、その形成面の平坦性が悪いと、電界集中などが起き、その場所から発光不能となるダークスポットなどが生じやすい。従って、配線層と被駆動素子とのコンタクトを薄膜トランジスタと配線層とのコンタクト部から離間することで、被駆動素子の形成領域での平坦性を向上させることが可能となる。

【0033】本発明の他の態様に係る半導体装置では、上記被駆動素子が、第1及び第2電極の間に発光素子層を備えた発光素子であり、前記配線層の上層に形成された絶縁層にはコンタクトホールが形成されており、該コンタクトホールにおいて、前記配線層は、前記絶縁層の上に前記コンタクトホールを覆って形成された前記発光素子の前記第1電極と接続され、前記第1電極の少なくともコンタクトホール領域は平坦化層によって覆われ、前記第1電極及び前記平坦化層の上に前記発光素子層が形成されていることを特徴とする。

【0034】第1電極のコンタクトホール領域を平坦化層によって覆う、つまり、コンタクトホールの存在により窪んだ部分を平坦化層によって埋めることにより、第1電極と平坦化層とで非常に平坦性の高い面を構成することができる。よって、この平坦性の高い面上に発光素子層を形成することにより素子の信頼性を向上することが可能となる。

【0035】本発明の他の態様に係る半導体装置は、供給電力に応じて動作し、第1及び第2電極の間に発光素子層を備える被駆動素子と、前記被駆動素子に電力を供給するための電源ラインとの間に、前記被駆動素子への供給電力を制御するための薄膜トランジスタを備え、該薄膜トランジスタと対応する前記被駆動素子とは、下層に形成された前記薄膜トランジスタと前記被駆動素子との層間を隔てる絶縁層に形成されたコンタクトホールにおいて直接又は間接的に互いに電氣的に接続され、前記第1電極の少なくともコンタクトホール領域は平坦化層によって覆われ、前記第1電極及び前記平坦化層の上層に前記発光素子層が形成されている。

【0036】第1電極の上方には発光素子層が形成されるが、この第1電極にコンタクトホールの存在によって発生する窪みを平坦化層によって覆うため、例えばこの窪みが深いものであったとしても、第1電極と平坦化層とで非常に平坦性の高い面を構成でき、この平坦性の高い面上に発光素子層を形成することにより素子の信頼性を向上することが可能となる。

【0037】本発明の他の態様は、上述の被駆動素子は、有機化合物を発光層に用いた有機エレクトロルミネッセンス素子であることである。このような有機EL素子では、高輝度かつ発光色、材料の選択範囲が広いが、電流駆動であるから供給電流量のばらつきが発光輝度のばらつきに影響を及ぼすが、上述のような画素の回路構

10

成や配置の採用により、供給電流量を均一に維持することが容易である。また、上述のようなコンタクトの配置、構造を採用することで、開口率が大きく、さらに発光層などの素子層を平坦な面に形成することができ、信頼性の高い素子が得られる。

【0038】

【発明の実施の形態】以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【0039】[実施形態1] 図2は、本発明の実施形態1に係るm行n列のアクティブマトリクス型EL表示装置における1画素当たりの回路構成を示している。図示するように各画素は、有機EL素子50、スイッチング用TFT（第1TFT）10、素子駆動用TFT（第2TFT）20及び補助容量Csを備え、ここでは、行方向に延びるゲートラインGLと、列方向に延びるデータラインDLで囲まれる領域に構成されている。本実施形態では、さらに、導電特性が該第2TFT20と逆の補償用TFT30が電源ラインVLと第2TFT20との間に挿入されている。この補償用TFT30は、ゲートと、ソース又はドレインの一方とが接続されてダイオード接続されており、該ダイオードが電源ラインVLと該第2TFT20との間に順方向に接続されている。よって、特別な制御信号を供給せずに動作させることが可能となっている。

【0040】第1TFT10は、ゲート信号をそのゲートに受けてオンし、これにより、第1TFT10と第2TFT20と間に接続された補助容量CsにデータラインDLに供給されているデータ信号が保持され、補助容量Csの一方の電極電位が該データ信号に等しくなる。第2TFT20は、電源ラインVLと、有機EL素子（素子の陽極）50との間に設けられ、そのゲートに印加されるデータ信号の電圧値に応じた電流を電源ラインVLから有機EL素子50に供給するように動作する。図2に示す例では、第1TFT10には高速応答可能なnch-TFTが用いられ、第2TFT20にはpch-TFTが用いられている。

【0041】補償用TFT30には、該第2TFT20と逆極性のnch-TFTが用いられており、第2TFT20のI（電流）-V（電圧）特性が変動した場合、ちょうど逆方向にそのI-V特性が変動し、第2TFT20の特性変動を補償する。

【0042】図3は、能動層に多結晶シリコンを用いたnch-TFT及びpch-TFTのI-V特性を示している。nch-TFTは、ゲートへの印加電圧が所定の性電圧（+Vth）以上になると電流値が急激に上昇し、一方のpch-TFTはゲートへの印加電圧が所定の負電圧（-Vth）以下になると電流値が急激に上昇する。ここで、例えば同一基板上に形成されたnch-TFTとpch-TFTとは、nch-TFTの閾値+



(7)

11

$V_{th}$ が大きくなる方向、つまり、図3において右にシフトするように変動した場合、 $pch-TFT$ の閾値 $-V_{th}$ は、同程度だけ図3の右側にシフトする。反対に $nth-TFT$ の閾値 $+V_{th}$ が左にシフトするときは、 $pth-TFT$ の閾値 $-V_{th}$ も左側にシフトする。例えば、製造条件のばらつき等によって、図2の第2TFT20に用いられている $pch-TFT$ の $-V_{th}$ が右ずれた場合、従来であれば同一条件化において有機EL素子50に供給される電流量が直ちに減少してしまう。しかし、本実施形態では、該第2TFT20と電源ラインVLとの間に設けられている $nch-TFT$ からなる補償用TFT30の流す電流量が多くなる。

【0043】本実施形態では、図2に示すように、互いに逆極性からなる第2TFT20と補償用TFT30とが電源ラインVLと有機EL素子50との間に設けられているので、2つのTFTは、常時、互いに流す電流量を補償するように釣り合うことになる。もちろん、補償用TFT30の存在しない図1のような従来回路構成よりも本実施形態の回路構成では、補償用TFT30が存在する分、有機EL素子50に供給可能な最大電流値は減少する。しかし、人間の目は、高輝度側における識別感度が、中間輝度における感度に比較して非常に低いので、最大供給電流値が多少減少しても表示品質には、ほとんど影響を与えない。その一方で、各画素において、第2TFT20と補償用TFT30とが互いに流し出す電流を調整しあうので、画素間における有機EL素子50への供給電流量のばらつきを低減することが可能となる。

【0044】次に、図4を参照して、本実施形態の回路構成によって実現される効果について説明する。図4上段は、図2に示す本実施形態の画素回路構成によって有機EL素子を発光させた場合、図4下段は、図1に示す従来の画素回路構成によって有機EL素子を発光させた場合の印加電圧（データ信号）と発光輝度との関係の一例を示している。図4の設定は印加電圧（データ信号）8Vのときに有機EL素子に対する要求最大輝度としており、8V～10Vの間で階調表示が行われている場合を例に挙げている。また、図4の上段、下段の各3つのサンプルは、異なる製造条件下でそれぞれ図2及び図1の回路構成の有機ELパネルを形成した場合、つまり画素部のTFTの特性を故意にばらつかせた場合の発光輝度特性である。

【0045】図4から明らかなように、従来の回路構成では、画素部TFTの特性が異なる3つのサンプルにおいて、設定されたデータ信号電圧範囲8V～10Vにおいて輝度特性が大きく変化しているのに対し、本実施形態の回路構成では、視感されない高輝度領域での特性が異なるだけで、3つのサンプルの中間調領域での輝度特性差は非常に小さい。従って、各画素を本実施形態のような回路構成とすることで、TFT、特に大きな影響を

12

及ぼすEL素子駆動用TFT20の特性がばらついて、これと逆極性の補償用TFT30の存在により、そのばらつきを補償することが可能であり、有機EL素子の発光輝度のばらつきを抑えることが可能となる。

【0046】図5は、本実施形態の回路構成の他の例を示している。上述の図2と相違する点は、 $nch-TFT$ を用いて第2TFT22が構成され、また、補償用TFT32には、ダイオード接続された $pch-TFT$ を用いている点である。このような構成によっても第2TFT22における特性ばらつきを補償用TFT32で補償することができる。

【0047】図6は、本実施形態の回路構成のさらに別の例を示している。図2の回路構成と相違する点は、第2TFTが複数並列して補償用TFT30と有機EL素子50との間に設けられていることである。なお、TFTの極性は、図2と同様に、第2TFT24が $pch$ 、補償用TFT30が $nch$ である。2つの第2TFT24は、そのゲートが共に、第1TFT10及び補助容量Csの第1電極側に接続され、各ソースは補償用TFT30に接続され、ドレインが有機EL素子50に接続されている。このように第2TFT24を並列して設けることにより、第2TFTの特性ばらつきによる有機EL素子への供給電流ばらつきをさらに低減することが可能となる。

【0048】ここで、2つの第2TFT24それぞれの流す電流値目標を*i*とすると、当然、2つの第2TFT24の合計目標電流値は2*i*となる。ばらつきにより、例えば一方の第2TFT24の電流供給能力が*i*/2になっても、他方の第2TFT24が*i*だけ電流を流せば、目標2*i*に対し、(3/2)*i*を有機EL素子に供給することができる。また、最悪一方のTFTの電流供給能力が0になったとしても、図6の例ならば、他方のTFTにより電流*i*を有機EL素子に供給することが可能である。単一のTFTで第2TFT24を構成した場合、これが電流供給能力0になると、その画素は欠陥になることと比較すると、その効果は格段に大きい。

【0049】また、本実施形態の各TFTは、レーザアニール処理によりa-Siを多結晶化するが、複数の第2TFT24を並列して設ける場合、各第2TFT24の能動領域に同時にレーザが照射されないようレーザ走査方向に対してその形成場所をずらすなどの工夫をすることが容易である。そして、そのような配置とすることで、全ての第2TFT24が欠陥となる可能性を格段に低下させることができ、レーザアニールに起因した特性ばらつきを最小限度に抑えることが可能となる。その上、上述のように、第2TFT24と電源ラインVLとの間に補償用TFT30を設けているので、そのアニール条件等のばらつきにより第2TFT24の閾値にシフトが生じて、補償用TFT30によってこれを緩和す



(8)

13

ることができる。

【0050】図7は、本実施形態のさらに別の画素回路構成を示している。上述の図6の構成と相違する点は、第2TFT24だけでなく、補償用TFTも複数設けられ、各補償用TFT34がそれぞれ電源ラインVLと第2TFT24との間に設けられている点である。補償用TFT34についても図7のように複数とすれば、各補償用TFT34に発生する電流供給能力のばらつきを全体として緩和することができ、有機EL素子50への供給電流能力のばらつきをより確実に低減させることが可能となる。

【0051】図8は、上記図7のような回路構成となる有機EL表示装置の平面構成の一例を示している。また図9(a)は、図8のA-A線に沿った概略断面、図9(b)は、図8のB-B線に沿った概略断面、図9(c)は、図8のC-C線に沿った概略断面を示している。なお、図9において、同時に形成される層(膜)には機能の異なるものをのぞき基本的に同一符号を付してある。

【0052】図8に示すように、各画素は、第1TFT10、補助容量Cs、2つのpchの第2TFT24、電源ラインVLと該第2TFT24との間にダイオード接続されて設けられたnchの2つの補償用TFT34、そして、第2TFT24のドレインと接続された有機EL素子50を備える。また、図8の例では(これには限られないが)、行方向に延びるゲートラインGLと列方向に延びる電源ラインVLとデータラインDLに囲まれた領域に1画素が配置されている。なお、図8の例では、より高精細なカラー表示装置を実現するため、R、G、Bの画素が各行ごとにその配置位置がずれたいわゆるデルタ配列が採用されているので、データラインDL及び電源ラインVLは、一直線状ではなく、行ごとに位置のずれた画素の間隙をぬうように列方向に延びている。

【0053】各画素領域において、ゲートラインGLとデータラインDLとの交差部近傍には、第1TFT10が形成されている。能動層6には、レーザアニール処理によってa-Siを多結晶化して得たp-Siが用いられ、この能動層6は、ゲートラインGLから突出したゲート電極2を2回跨ぐパターンとなっており、図7では、シングルゲート構造で示しているが、回路的にはデュアルゲート構造となっている。能動層6は、ゲート電極2を覆って形成されたゲート絶縁膜4上に形成されており、ゲート電極2の直上領域がチャンネル、その両側には、不純物がドーピングされたソース領域6S、ドレイン領域6Dが形成されている。第1TFT10は、ゲートラインGLに出力される選択信号に高速応答することが望まれるから、ここで、ソースドレイン領域6S、6Dには、リン(P)などの不純物がドーピングされ、nch-TFTとして構成されている。

14

【0054】第1TFT10のドレイン領域6Dは、第1TFT10全体を覆って形成される層間絶縁膜14の上に形成されたデータラインDLと該層間絶縁膜14に開口されたコンタクトホールで接続されている。

【0055】この第1TFT10のソース領域6Sには、補助容量Csが接続されている。この補助容量Csは、第1電極7と第2電極8とが層間にゲート絶縁膜4を挟んで重なっている領域に形成されている。第1電極7は、図8においてゲートラインGLと同様行方向に延びており、かつゲートと同一材料から形成された容量ラインSLと一体で形成されている。また、第2電極8は、第1TFT10の能動層6と一体で、該能動層6が第1電極7の形成位置まで延出して構成されている。第2電極8は、コネクタ42を介して第2TFT24のゲート電極25に接続されている。

【0056】2つのpchの第2TFT24と、2つのnchの補償用TFT34の断面構成は、図9(b)のようになっている。これらの第2TFT及び補償用TFT24、34は、データラインDL(電源ラインVL)に沿った方向に、各TFT毎に島状にパターニングされた半導体層16を各能動層として利用している。従って、この例では、これら第2TFT24及び補償用TFT34のチャンネルは、そのチャンネル長方向がデータラインDL、ここでは細長い形状の1画素の長手方向に沿うように配置されている。なお、この半導体層16は、第1TFT10の能動層6と同時に形成されたものであり、レーザアニール処理により、a-Siが多結晶化されて形成された多結晶シリコンが用いられている。

【0057】図9(b)の両端に位置する補償用TFT34は、そのドレイン領域が層間絶縁膜14に開口されたコンタクトホールを介し、それぞれ同じ電源ラインVLに接続されている。また、補償用TFT34のチャンネル領域の直下にはゲート絶縁膜4を挟んでゲート電極35が配されている。このゲート電極35は、ゲートラインGLと同一材料で、同時に形成された層であるが、図8に示すようにコンタクトホールにおいて、電源ラインVLと接続されている。従って、この補償用TFT34は、図7の回路図に示したように、ゲートとドレインが共に電源ラインVLに接続されたダイオードを構成している。また、この補償用TFT34のソース領域は、pchTFTから構成される第2TFT24のソース領域と離間配置されており、コンタクト配線43によって互いにそれぞれ接続されている。

【0058】第2TFT24の各ゲート電極25は、補償用TFT34のゲート電極35と同様、ゲートラインGLと同一材料で同時に形成された導電層であり、補助容量Csの第2電極8にコネクタ42を介して接続され、該補助容量Csの形成領域から電源ラインVLに沿って延び、さらに能動層16の下に延びており、2つの第2TFT24の各ゲート電極25を構成している。

(9)

15

【0059】有機EL素子50は、例えば図9(c)のような断面構造を備えており、上述のような各TFTが形成された後、上面平坦化の目的で、基板全面に形成された平坦化絶縁層18の上に形成されている。この有機EL素子50は、陽極(透明電極)52と、最上層に各画素共通で形成された陰極(金属電極)57との間に有機層が積層されて構成されている。ここで、この陽極52は、第2TFT24のソース領域と直接接続されており、配線層を構成するコネクタ40を介して接続されている。

【0060】ここで、本実施形態では、図8のように、2つの第2TFT24は、1つのコネクタ40に共通に接続されており、このコネクタ40は、有機EL素子50の第1電極52と1カ所でコンタクトしている。つまり、有機EL素子50は、n個の第2TFT24と、n-1個以下のコンタクトで接続されている。コンタクト領域は非発光領域となることもあり、このように有機EL素子50とコネクタ40(第2TFT24)とのコンタクト数をできるだけ少なくすることで、発光領域をできるだけ大きくすることを可能とする。なお、このコンタクト数に関する他の例については、実施形態3として後述する。

【0061】また、本実施形態では、図8及び図9(c)に示すようにコネクタ40と陽極52との接続位置は、コネクタ40と第2TFT24との接続位置とずれて配置されている。後述する有機化合物を含む発光素子層51は、局部的に薄い場所などがあると電界集中が起きやすく、電界集中の起きた場所から劣化が始まることがある。従って有機材料の用いられる発光素子層51の形成面はできるだけ平坦であることが望ましい。コンタクトホールの上層ではこのコンタクトホールに起因した窪みができ、コンタクトホールが深ければ深いほどその窪みは大きくなる。従って、陽極52の形成領域外にコネクタ40と第2TFT24のソース領域とを接続するコンタクトホールを配置することにより、上に有機層の形成される陽極52の上面をできる限り平坦にすることを可能としている。なお、陽極52の上面を平坦にする例については実施形態4として後述する。

【0062】発光素子層(有機層)51は、陽極側から、例えば第1ホール輸送層53、第2ホール輸送層54、有機発光層55、電子輸送層56が順に積層されている。一例として、第1ホール輸送層52は、

MTDATA:4,4',4'-tris(3-methylphenylphenylamino) triphenylamine、

第2ホール輸送層54は、

TPD:N,N'-diphenyl-N,N'-di(3-methylphenyl)-1,1'-biphenyl-4,4'-diamine、

有機発光層55は、R、G、Bの目的とする発光色によって異なるが、例えば、キナクリドン(Quinacridone)誘導体を含むBeBq<sub>2</sub>:bis(10-hydroxybenzo[h]quinolinat

16

o)berylliumを含み、電子輸送層56は、BeBqから構成される。また、図9(c)に示す例では、有機EL素子50は、ITO(Indium Tin Oxide)などからなる陽極52と有機発光層55以外の各有機層(53, 54, 56)及びAlなどからなる陰極57は各画素共通で形成されている。

【0063】上記EL素子の他の構成例としては、右にあげた材料を用いた左の層が順次積層形成された素子があげられる。

10 【0064】a. 透明電極(陽極)

b. ホール輸送層:NBP

c. 発光層:レッド(R)・・・ホスト材料(Alq<sub>3</sub>)に赤色のドーパント(DCJTb)をドーブ  
グリーン(G)・・・ホスト材料(Alq<sub>3</sub>)に緑色のドーパント(Coumarin 6)をドーブ  
ブルー(B)・・・ホスト材料(Alq<sub>3</sub>)に青色のドーパント(Perylene)をドーブ

d. 電子輸送層:Alq<sub>3</sub>

e. 電子注入層:フッ化リチウム(LiF)

20 f. 電極(陰極):アルミニウム(Al)

なお、ここで、上記略称にて記載した材料の正式名称は以下のとおりである。

・「NBP」・・・N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine)

・「Alq<sub>3</sub>」・・・Tris(8-hydroxyquinolinato) aluminum

・「DCJTb」・・・(2-(1,1-Dimethylethyl)-6-(2-(2,3,6,7-tetrahydro-1,1,7,7-tetramethyl-1H,5H-benzo[ij]quinolizin-9-yl)ethenyl)-4H-pyran-4-ylidene) prop

30 ・「Coumarin 6」・・・3-(2-Benzothiazolyl)-7-(diethylamino) coumarin

・「BA1q」・・・(1,1'-Bisphenyl-4-Olato) bis (2-methyl-8-quinolinplate-N1,08) Aluminum

但し、もちろんこのような構成には限られない。

【0065】以上のような構造の画素において、ゲートラインGLに選択信号が印加されると、第1TFT10がオンし、データラインDLの電位と、補助容量Csの第2電極8に接続されたそのソース領域の電位が等しくなる。第2TFT24のゲート電極25には、データ信号に応じた電圧が供給され、第2TFT24は、その電圧値に応じて電源ラインVLから補償用TFT34を介して供給される電流を有機EL素子50の陽極52に供給する。このような動作により、各画素ごとにデータ信号に応じた電流を正確に有機EL素子50に供給することができ、ばらつきのない表示が可能となる。

【0066】図8に示すように、電源ラインVLと有機EL素子50との間に補償用TFT34と第2TFT24とがこの順に複数系列(ここでは2系列)設けられているので、一方の系でばらつきによる特性シフトや欠陥などが発生しても、正常な特性の他方の系が存在するこ

50

(10)

17

とで、複数系列の合計決まる供給電流量のばらつきを緩和することを可能としている。

【0067】また、図8に示す平面配置では、共に能動層がレーザアニール処理によって多結晶化された多結晶シリコン層が用いられているが、このアニール処理は、一例として図の行方向に長いレーザビームを列方向に走査して行う。このような場合にも、第1 TFT 10のチャンネル向きと、第2及び補償用 TFT 24, 34の各能動層長さチャンネル向きとは一致せず、また形成位置が第1と第2 TFT 10, 24とで離れている。このため、レーザアニールによって、第1及び第2 TFT 10, 24、さらには第2及び補償用 TFT 24, 34に同時に不具合が生ずることを防止することが可能である。

【0068】なお、第1 TFT 10、第2 TFT 24及び補償用 TFT 34のいずれも、ボトムゲート構造として説明したが、能動層よりもゲート電極が上層に形成されたトップゲート構造であってもよい。

【0069】〔実施形態2〕次に、本発明の他の実施形態2について説明する。実施形態1では、トランジスタの特性ばらつきによる画素間で発光輝度のばらつきを防止するため、素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタを設けている。これに対して、本実施形態2では、素子駆動用薄膜トランジスタ（第2 TFT）の配置に着目して画素間での発光輝度のばらつきを抑制する。図10は、実施形態2に係る1画素あたりの構成例を示しており、図10（a）は概略平面図、図10（b）は図10（a）のB-B線に沿った断面図である。この構成は、図1と同一の回路構成で示される。また、図中、既に説明した図と対応する部分には同一符号を付している。

【0070】本実施形態2において、1画素は、有機EL素子50、第1 TFT（スイッチング用薄膜トランジスタ）10、補助容量Cs、第2 TFT（素子駆動用薄膜トランジスタ）20を備える。実施形態1と異なり、電源ラインVLと有機EL素子50との間には単一の第2 TFT 20が形成されているが、この第2 TFT 20は、上述の図8と同様に、そのチャンネル長方向が、細長く形成された画素の長手方向に沿うように配置されている。そして、本実施形態2では、このように画素領域の長手方向にチャンネル長方向が向くように第2 TFT 20を配置することで、図10（a）のようにチャンネル長の非常に長い第2 TFT 20を配置する場合にも、また、上述の図8に示すように電源ラインVLと、有機EL素子50との間に第2 TFT 20や補償用 TFT 30を配置する必要がある場合にも、有機EL素子50の発光領域を最大限確保しながら、面積の限られた1画素領域内に必要なTFTを効率的に配置することを可能としている。

【0071】本実施形態2では、画素の長手方向に第2 TFT 20を配置することで、図10（a）及び図10

18

（b）に示すように、第2 TFT 20のチャンネル長を十分長くすることを可能としている。第2 TFT 20のチャンネル長を十分長くすることにより、TFT耐圧向上による信頼性が向上する。また、第2 TFT 20のトランジスタ特性の平均化が可能となり、画素毎の第2 TFT 20の電流供給能力ばらつきを低減でき、この能力ばらつきにより発生する有機EL素子50の発光輝度ばらつきを非常に小さくすることが可能となる。

【0072】また、本実施形態2においては、実施形態1と同様、第2 TFT 20は、アモルファスシリコン層をレーザアニールによって多結晶化して得た多結晶シリコン層を半導体層（能動層）16として用いる。この場合に、レーザアニールの走査方向を第2 TFT 20のチャンネル長方向と一致するような方向に設定する、言い換えるとパルスレーザの照射領域の長手方向エッジがチャンネル16cを幅方向に横切るように配置し、かつ上述のように第2 TFT 20のチャンネル長を長くすることによって、第2 TFT 20の特性ばらつきを低減が可能となる。これは、単一のレーザショットによって第2 TFT 20のチャンネル全領域がアニールされないように調整することが容易で、他の画素の第2 TFT 20とその特性に大きな差が発生することを防止でき、これにより第2 TFT 20の特性についてより高い平均化効果を得ることが可能であるためである。

【0073】第2 TFT 20は、有機EL素子50に対して駆動電源（電源ラインVL）からの比較的大電流を供給することが要求されるが、能動層16に多結晶シリコンを用いたp-Si-TFTを第2 TFT 20に用いる場合、要求能力と比較してp-Siの移動度は十分な値であり、第2 TFT 20はそのチャンネル長を長く設計しても十分な電流供給能力を発揮することできる。また、第2 TFT 20は、電源ラインVLに直接接続されるため要求耐圧が高く、チャンネル長CLは、チャンネル幅よりも大きくすることが要求されることが多い。従って、このような観点からも第2 TFT 20は、十分に長いチャンネル長とすることが好適であり、そのために第2 TFT 20をそのチャンネル長方向が画素領域の長手方向に沿うように形成することで、1画素領域内に長いチャンネルを備える第2 TFT 20を効率的に配置することが可能となる。

【0074】表示面上に複数の画素がマトリクス状に配置されて構成される表示装置では、多くの場合、垂直方向（列方向）よりも水平方向（行方向）の方がより高い解像度が要求されるため、各画素は、上述の図8や図10（a）に示すように列方向に長い形状に設計される傾向が強い。このような場合に、列方向にチャンネル長方向が向くように第2 TFT 20を配置すれば、画素領域の長手方向にチャンネル長方向が沿うことになり、上述のような要求されるチャンネル長の確保が容易となる。

【0075】また、本実施形態2に示すように、各画素

(11)

19

に表示素子を駆動するためのスイッチ素子が設けられるアクティブマトリクス型表示装置では、列方向に第1 TFT 10にデータ信号を供給するデータラインDLが配置され、行方向には選択ライン（ゲートライン）GLが配置される。そこで、データラインDLの伸びる方向

（列方向）にチャンネル長方向が沿うように第2 TFT 20を配置することで、長いチャンネル長を確保しつつ、第2 TFT 20を効率的に画素領域内に配置することが容易となる。なお、図10の例では、駆動電源Pvdから電源ラインVLによって各画素に電力が供給されるレイアウトが採用されており、この電源ラインVLについてもデータラインDLと同様に列方向に伸びているので、第2 TFT 20のチャンネル長方向は、この電源ラインVLの延在方向とも一致している。

【0076】ところで、本実施形態2では、上述のように第2 TFT 20のチャンネル長方向が、レーザアニールの走査方向と一致するように、或いは列方向（データラインDLの延在方向）に平行となるように設定しているが、第1 TFT 10については、ゲートラインGLの伸びる行方向にそのチャンネル長方向が一致するように配置されている。よって、本実施形態2においては、第1 TFT 10と第2 TFT 20とでは、そのチャンネル長方向が互いに異なった配置になっている。

【0077】次に本実施形態2に係る表示装置の断面構造について図10（b）を参照して説明する。図10

（b）は、第2 TFT 20及びこのTFT 20と接続される有機EL素子50の断面構造を示している。なお図示しない第1 TFT 10については、チャンネルの長さ、ダブルゲートであること、及び能動層6の導電型が異なること等を除けば、基本構成は、図10（b）の第2 TFT 20とほぼ共通している。

【0078】実施形態1において例示した第1及び第2 TFTは、共にボトムゲート構造であるが、本実施形態2では第1及び第2 TFT 10、20は、能動層よりゲート電極が上層に形成されたトップゲート構造を採用している。もちろん、トップゲート構造に限られるものではなく、ボトムゲート構造であってもよい。

【0079】第2 TFT 20の能動層16及び第1 TFT 10の能動層6は、上述のように共に、基板1上に形成されたアモルファスシリコン層をレーザアニールして多結晶化して得られた多結晶シリコンより構成されている。多結晶シリコンからなる能動層6及び能動層16の上にはゲート絶縁膜4が形成されている。第1 TFT 10及び第2 TFT 20の各ゲート電極2及び25は、このゲート絶縁膜4の上に形成されており、第2 TFT 20のゲート電極25は、第1 TFT 10の能動層6と一体の補助容量Csの第2電極8に接続され、図10

（a）に示すように補助容量Csとの接続部分から列方向に伸びてゲート絶縁膜4上に能動層16の上方を広く覆うようにパターンニングされている。

20

【0080】第2 TFT 20の能動層16は、ゲート電極25によって上方が覆われている領域がチャンネル領域16cであり、このチャンネル領域16cの両側にはそれぞれソース領域16sと、ドレイン領域16dが形成されている。本実施形態2では、この能動層16のソース領域16sは、補助容量Csの近傍において、ゲート絶縁膜4及び層間絶縁膜14を貫通して形成されたコンタクトホールを介して電源ラインVLと電氣的に接続されている。また、ドレイン領域16dは、マトリクスの次行に相当するゲートラインGLの近傍で、ゲート絶縁膜4及び層間絶縁膜14を貫通して形成されたコンタクトホールを介してコネクタ（配線層）40と接続されている。コネクタ40は、ドレイン領域16dとの接続領域から有機EL素子50の形成領域まで伸び、上記層間絶縁膜14及び電源ラインVL及びコネクタ40を覆って形成されている第1平坦化絶縁層18に形成されたコンタクトホールを介して有機EL素子50のITO電極（陽極）52と電氣的に接続されている。

【0081】また、図10（b）では、上記第1平坦化層18の上には、有機EL素子50の陽極52の形成中央領域のみ開口され、陽極52のエッジ、配線領域及び第1及び第2 TFTの形成領域を覆うように第2平坦化絶縁層61が形成されている。そして、有機EL素子50の発光素子層51が、陽極52及び第2平坦化絶縁層61上に形成されている。また発光素子層51の上には全画素共通の金属電極57が形成されている。

【0082】次に、第2 TFT 20のチャンネル長CLと、レーザの移動ピッチPとの関係について説明する。上述のように、第2 TFT 20のチャンネル長CLについては、十分長くすることが好適であるが、1回のパルスレーザでチャンネル全領域がアニールされないようにするためにはレーザの移動ピッチPがチャンネル長CLに対し、 $P < CL$ となることが好ましい。移動ピッチPは、レーザアニール装置の光学系システム等の設定により調整可能である場合があり、このような場合、 $CL > P$ となるように装置を調整することが好適である。例えば200dpi程度の解像度の表示装置の場合、画素行方向の長さは30μm程度であっても、列方向は80μm程度を確保することができる。さらに、レーザの移動ピッチP20μm～35μmの場合において、第2 TFT 20をそのチャンネル長方向が画素長手方向に向くように配置することでチャンネル長CLは50μm～80μm程度を確保でき、上記関係を満たすことができる。このような関係であれば第2 TFT 20のチャンネル領域16cは、必ず複数回パルスレーザが照射されて多結晶化されることとなり、同様に複数回のパルスレーザ照射により多結晶化される他の画素の第2 TFT 20との間で、その特性の差を低減することが可能となる。

【0083】以上の説明では、1画素内において有機EL素子50と、電源ラインVLとの間に単一の第2 TFT

(12)

21

TFT 20が形成されている。しかし、第2 TFT 20は、1画素内に複数設けられていてもよい。図11は、1画素内で、複数の第2 TFT 20が電源ライン16と有機EL素子50との間に並列接続される場合のレイアウトの一例を示している。なお、図11に示す画素構成の等価回路は、上述の図6の回路において補償用TFT 30を除いた場合と同等であり、2つの第2 TFT 20のソース領域16sa、16sbが共に電源ラインVLに接続され、ドレイン領域16da、16dbが共にそれぞれコンタクト40を介して有機EL素子50の陽極52に接続されている。このように1画素内に第2 TFT 20を複数設けることで、1画素について複数の第2 TFT 20の両方が同時に不良となって有機EL素子に電流供給不能となる確率を最低でも半分以下に低減することができる。

【0084】2つの第2 TFT 20a、20bの配置については、図10と同様に、画素領域の長手方向（ここではデータラインDLの延在方向にも一致）に対し、そのチャンネル長方向がほぼ平行となるように配置する。このような配置により、発光領域を最大限確保しつつ各チャンネル長CLをできるだけ長く確保することが可能となっている。さらに、レーザアニールの走査方向については、図11においても、2つの第2 TFT 20a、20bのいずれのチャンネル長方向にも平行となるように設定されている。また、両能動層16a、16bは一直線上に並べられている。複数の第2 TFT 20a、20bの各能動層が必ずしも互いに一直線上に並ぶことは必須ではないが、第2 TFT 20a、20bの各チャンネル領域16ca、16cbは、レーザ走査方向に対し、互いに完全に一致せずに、若干でもずれていることにより、TFT 20a、20bの特性が同じようにはばつくことをより確実に防止できる。即ち、チャンネル長方向が互いにレーザ走査方向にずれていることで、同一のパルスによって2つのTFTのチャンネルが同時にアニールされる可能性が減少し、第2 TFT 20a、20bの特性が全く同じように設定値からずれたり、両方のトランジスタが同時に動作しないといった問題発生の可能性を大幅に低減でき、画素毎における有機EL素子60に供給する総電流量のばらつきを低減できる。

【0085】2つの第2 TFT 20a、20bのチャンネル長CLa、CLbは、そのいずれもが上述のようにレーザの移動ピッチPより大きいことが望ましい。さらに、複数の第2 TFT 20a、20bのチャンネル16caと、16cbとの離間距離Lについても、レーザの移動ピッチPよりも大きくすることがより好ましい。しかし、図11のように複数の第2 TFT 20が1画素内に配置されている場合、少なくとも2つのTFT 20a、20bの合計チャンネル長と上記離間距離Lの合計が、移動ピッチPより大きければ、レーザアニールによって、1画素内の複数のトランジスタTFT 2a、TFT 2b

22

に同時不具合が生ずる又は同じように特性がずれることを防止でき、画素毎での特性ばらつき低減効果が得られる。

【0086】[実施形態3] 次に、実施形態3として、1画素内において、複数の第2 TFT 20と対応する有機EL素子50とのより効率的な接続方法について説明する。上述の実施形態1及び実施形態2の図11に示すように、1画素内で、有機EL素子50と電源ラインVLとの間に複数の第2 TFT 20を設けることは、信頼性向上、特性向上などの観点で好適である。このように複数の第2 TFT 20を1画素内に設ける場合、図11に示したように、第2 TFT 20a、20bと有機EL素子50とをそれぞれ接続することで、電源ラインVLから有機EL素子50への第2 TFT 20を介した電流供給がより確実となる。しかし、図10(b)に示すような透明な陽極52から下方の基板1を経て外部に発光層55からの光を射出するタイプの有機EL素子の場合、コンタクト部は遮光されることが多い。例えば、図9(c)や図10(b)では、有機EL素子50の第2 TFT 20との接続は、金属配線である配線層40を介して行われており、この配線層40と陽極52とのコンタクト部では、陽極52の下方に遮光性の配線層40が存在しており、この領域では発光層55からの光は基板1側に通り抜けることはできない。従って、第2 TFT 20と有機EL素子50とのコンタクト部を第2 TFT 20の個数nと同じ数だけ設けるとコンタクト数に比例して発光面積が減少してしまう。

【0087】そこで、発光面積の減少を最小限とするためには、1画素当たりの第2 TFT 20の数n ( $n \geq 2$ ) に対し、該第2 TFT 20と有機EL素子50とのコンタクト数をn-1以下とすることが好適である。上述の図8や、以下に説明する図12、図13及び図14では、n個の第2 TFT 20と有機EL素子50とをn-1以下のコンタクト数で接続している。なお、以降で説明する各図において、既に説明した図面と共通する部分には同一符号を付し、説明を省略する。

【0088】図12では、電源ラインVLと有機EL素子50との間に2つの第2 TFT 20a、20bを並列接続した場合の有機EL素子50とのコンタクト方法を示している。なお、2つの第2 TFT 20a、20bは、上述の図11と同様、そのチャンネル長方向が画素の長手方向（データラインDLの延在方向）、又はレーザアニールの走査方向に対して平行となるように配置され、さらに互いにずれるように配置されており、画素間での輝度ばらつきの低減、信頼性向上を図っている。

【0089】図12の例では、単一の島状にパターンニングされたp-Siからなる半導体層が2つの第2 TFT 20a、20bの能動層16a、16bとして用いられている。この半導体パターンはその列方向の両端側が、各第2 TFT 20a、20bのソース領域(p-ch T

(13)

23

FTの場合) 16sa、16sbであり、それぞれ電源ラインVLと接続されている。また、半導体パターンの中央付近が2つのTFT20a、20bのドレイン領域(p-chTFTの場合) 16da及び16dbは、2つのTFTの間に配された単一の配線層40と、層間絶縁膜14及びゲート絶縁膜4を貫通して形成された共通のコンタクトホールにおいて接続されている(図10(b)参照)。

【0090】この配線層40は、有機EL素子50の陽極形成領域に延び、図10(b)の断面構造と同様に第1平坦化絶縁層18に開口された1カ所のコンタクトホールを介して有機EL素子50の陽極52と接続されている。ここで、配線層40と陽極52と接続位置は、図12において、陽極52の画素長手方向の中央付近となっている。コンタクト位置は、図12のように限定されるわけではないが、図12のように陽極52の比較的中央付近に近い位置に配置されることにより、金属電極と比較すると高抵抗なITOなどからなる陽極52の形成領域内での電流密度の平均化効果が得られ、各画素の発光面内での発光輝度の均一性を高めることが可能である。

【0091】図13に示す例では、第2TFT20の数を3とし、これら3つのTFT20-1、20-2、20-3を電源ラインVLと有機EL素子50の陽極52との間に並列接続している。3つの第2TFT20の能動層16は、一体であり、チャネル長方向は図中の行方向に設定されている。第2TFT20-1~3の各チャネル領域16c1~3は、互いにそのチャネル幅方向において、能動層16のパターンが開口されていることで分離されている。

【0092】この3つの第2TFT20は、ここでは、電源ラインVLと1カ所で接続され、また単一の配線層40により、有機EL素子50の陽極52とも1カ所で接続され、ゲート電極25は、3つのTFTについて共通であり、補助容量Csの第2電極8に電気的に接続され、かつ補助容量Cs付近から列方向に延びた金属配線によって構成されている。図13の構成例では、3つの第2TFT20-1~3と有機EL素子50とが1つのコンタクト部によって接続されており、有機EL素子50の形成領域に占めるコンタクト部の割合を低くでき、1画素当たりの開口率、つまり、発光面積を高くすることができる。

【0093】図14に示す例では、第2TFT20の数を4とし、これら4つのTFT20-1~4は、電気的には電源ラインVLと有機EL素子50の陽極52との間に並列接続されている。4つの第2TFT20の能動層16は、一体で構成され、各TFT20-1~4のチャネル長方向は、図12等と同様、画素領域の長手方向又はデータラインDLの延在方向に平行に設定され、4つがほぼ一直線上に並んでいる。

24

【0094】4つの第2TFT20-1~4は、ここでは、電源ラインVLと3カ所で接続され、第1、第2配線層40-1及び40-2により、有機EL素子50の陽極52と2カ所で接続されている。図14の構成例では、単一の能動層16の最も外側に位置するTFT20-1、20-4の各ソース領域16s1、16s4がそれぞれ単独で電源ラインVLと接続され、中央に位置するTFT20-2、20-3の各ソース領域16s2及び16s3が、共通で電源ラインVLに接続されている。

第2TFT20-1及び20-2と、有機EL素子50とは、第2TFT20-1及び20-2の間から素子50に延びる第1配線層40-1にドレイン領域16d1及び16d2が接続され、この第1配線層40-1は有機EL素子50の形成領域に延び、素子の陽極52と接続されている。また、第2TFT20-3及び20-4と、有機EL素子50とは、第2TFT20-3及び20-4の間から素子50に延びる第2配線層40-2にドレイン領域16d3及び16d4が接続され、この第2配線層40-2は有機EL素子50の形成領域に延び、素子の陽極52と接続されている。このように、4つの第2TFT20-1~4と有機EL素子50とは2カ所のみ接続されており、4つの第2TFT20-1~4を設けることによる発光領域の減少を抑制している。

【0095】また、図14の構成においては、4つの第2TFT20-1~4を画素の長手方向に沿ってほぼ一直線上にチャネル長方向が向くように配置しているため、第2TFT20-1~4を効率的に1画素内に配置することを可能としている。

【0096】[実施形態4] 次に、図15~図20を参照して、第2TFT20と有機EL素子50との接続構造について説明する。実施形態3において説明したように、有機EL素子50と第2TFT20とのコンタクト領域は、透明陽極52を透過し下方の基板1から外部に光を放射する方式(ボトムエミッション)の場合、非発光領域となることが多い。また、多くの集積回路などにおいては集積度の向上、表示装置であれば解像度の向上などを実現するためには、コンタクト面積をできる限り少なくすることが望まれる。このような観点からは、第2TFT20の能動層16と、有機EL素子50の陽極52とを直接接続する場合も、接続特性の向上のため直接接続せず金属接続層(A1層やCr層など)を介在させる場合においても、図15に示すように層間絶縁膜14の第1コンタクトホール70、第1平坦化絶縁層18の第2コンタクトホール72を重ねて形成することが好ましい。

【0097】しかし、複数のコンタクトホールを図15(a)に示されるように重ねて形成した場合、コンタクトホール合計段差(h70+h72)が大きくなり、コンタクトホール上に形成される層の表面平坦度が低下する。さらに、陽極エッジ領域における発光素子層51の



(14)

25

カバレッジ不良による陽極52と陰極57との短絡を防止するため、図15(a)に示すように陽極52のエッジ領域を覆う第2平坦化絶縁層61が採用される場合があるが、この第2平坦化絶縁層61は陽極52の中央領域では開口される。従って、第2平坦化絶縁層61の開口部は、上記第1及び第2コンタクトホール70及び72の近傍に形成されることとなり、発光素子層51の形成面は、さらにこの第2平坦化絶縁層61の開口による段差h74の影響も受けることとなる。

【0098】一方、有機EL素子50は、発光素子層51に電流を流すことで発光層55に含まれる発光性有機化合物を発光させており、発光素子層51の層内において、その厚さに大きな差があると、他より薄い部分で電界集中が起きやすく、そのような部分にダークスポットが発生しやすいことが知られている。ダークスポットは表示品質を低下させ、また素子駆動により拡大すること多いため、素子寿命を短くしてしまうことにもなる。従って、コンタクト領域の上層に有機EL素子50を形成する場合には、発光素子層51の形成面の平坦性をできるだけ高めることが要求され、発光素子層51が非常に凹凸の多い面に形成されることになる図15のようなコンタクト構造は発光素子層51の信頼性向上などの観点からは好ましくない。

【0099】図16は、以上をふまえ、発光素子層51の形成面での平坦性を高めた接続方法の例を示している。図16(a)は第2TFT20の能動層16と、有機EL素子50の陽極52とのコンタクト部分の断面構造、図16(b)は、このコンタクト部分の概略平面構造を示している。図16に示す接続構造は、陽極52のエッジ領域を覆う第2平坦化絶縁層61が存在すること、第2TFTがトップゲートである点を除き、実施形態1において説明した図8及び図9と共通し、配線層40と陽極52との接続位置が、配線層40と第2TFT20の能動層16との接続位置とずれて配置されている。このようなレイアウトを採用することで、配線層40と陽極52とのコンタクト領域では、陽極表面、つまり発光素子層51の形成面は、第2コンタクトホール72による段差h72の影響を受けるだけで、図15のように第1コンタクトホール70による段差h70の影響を受けない。従って、図15と図16の比較からも理解できるように、発光素子層形成面、特に発光層55が形成され各画素の発光領域における素子層形成面の平坦性の向上が図られている。

【0100】図17は、上記図16における発光素子層の形成面を更に平坦にするための方法を示している。図17に示す例では、図16と同様に、配線層40と有機EL素子50の陽極52とを接続する第2コンタクトホール72の形成位置を第1コンタクトホール70の形成位置からずらすと共に、第2平坦化絶縁層61によって第2コンタクトホール72を覆っている。従って、発光

26

層55の形成される領域では、第1コンタクトホール70はもちろんのこと第2コンタクトホール72による段差の影響も受けず、発光素子層形成面の平坦性を一段と向上することが可能となっている。また、第2平坦化絶縁層61は陽極52のエッジ領域を覆っているため陽極52と陰極57とのショートなども確実に防止されている。

【0101】ここで、有機EL素子の発光領域は、陽極52と陰極57とが間に配置される発光層55を挟んで対向する領域となり、陽極52と発光素子層51との間に第2平坦化絶縁層61が形成されている領域は発光しない。従って、図17に示す構成では、厳密には第2平坦化絶縁層61が陽極52のエッジだけでなく第2コンタクトホール72の上方まで覆うため、その分発光領域は減少することとなる。しかし、既に説明したように下層に遮光性の配線層40などが形成されていると、配線層40の形成領域は外部から見れば非発光領域となる。従って、図17のように第2平坦化絶縁層61が第2コンタクトホール72を覆う構造を採用してもそれによる1画素当たりの実際の発光面積の減少を抑制することができる。

【0102】第2平坦化絶縁層61によってコンタクトホールを覆う方法は、上述の図15のように第1及び第2コンタクトホール70、72が重ねて配置されるレイアウトに採用することによっても、発光素子層形成面の平坦性向上効果を発揮する。即ち、図18に示すコンタクト部の断面構造のように、第2TFT20の能動層16と有機EL素子50の陽極52とが重ねて形成された第1及び第2コンタクトホール70、72によって接続され、この2つのコンタクトホールによって陽極52の上面が深く窪んだ領域を第2平坦化絶縁層61で覆う。従って、コンタクトホール70及び72の上方における発光素子層形成面は、第2平坦化絶縁層61によって形成された平坦性の良い面となる。また、図18では2つのコンタクトホール70、72を同じ位置に形成することで、1画素内での素子配置効率が高く、また、発光領域の向上に寄与することも容易となる。

【0103】図19は更に別の発光素子層形成面の平坦化方法を説明している。図17と相違する点は、第2コンタクトホール72の形成領域において、陽極52上に第2平坦化絶縁層61ではなく、埋め込み層62を選択的に形成してコンタクトホールによる窪みを埋めていることである。このようにコンタクトホール72を覆う陽極52上に選択的に埋め込み層62を形成することによって、第2平坦化絶縁層61等を設けない場合であっても、コンタクトホール上の発光素子層形成面を平坦にすることができる。また、図20に示すように、第1及び第2コンタクトホール70、72を重ねて形成する場合に図19と同様に埋め込み層62を採用しても良い。図20では、2つのコンタクトホールが重ねて形成される



(15)

27

領域において、陽極52上に埋め込み層62を選択的に形成しており、2つのコンタクトホールによって形成される深い窪みが埋められている。図19及び図20のいずれにおいても、発光素子層51は、コンタクトホール形成領域においては、埋め込み層62の平坦な面の上に形成されることとなり、この領域での発光素子層の不具合発生を防止することができる。

【0104】なお、第2平坦化絶縁層61及び上記埋め込み層62の材質は上面が平坦となればどのようなものでも良いが、発光素子層51と反応したり含水性でなく安定で絶縁性の材料が良い。例えばポリイミドや、HMOSO、TOMCAT、TEOSなどを用いることができる。

【0105】

【発明の効果】以上説明したように、本発明においては、有機EL素子などの被駆動素子に電力を供給するトランジスタの特性のばらつきを緩和することが可能で、被駆動素子への供給電力のばらつきを平均化し、被駆動素子における発光輝度ばらつき等を防止することができる。

【0106】また、本発明では、被駆動素子とこの素子に電力供給するトランジスタとを最小限のコンタクト数で接続することで、限られた面積内に効率よく必要なトランジスタや素子などを配置できる。従って、被駆動素子として例えばEL素子などが採用される場合に1画素単位などにおける発光面積率を向上することができる。

【0107】さらに、本発明では、被駆動素子を形成する面の平坦性を向上することができ、被駆動素子の信頼性を向上することが可能となる。

【図面の簡単な説明】

【図1】 アクティブマトリクス型有機EL表示装置の1画素の回路構成を示す図である。

【図2】 本発明の実施形態1のアクティブマトリクス型有機EL表示装置の1画素あたりの回路構成例を示す図である。

【図3】 TFTのI-V特性を示す図である。

【図4】 本発明及び従来の回路構成によって実現される効果を示す図である

【図5】 本発明の実施形態1のアクティブマトリクス型有機EL表示装置の1画素あたりの別の回路構成を示す図である。

【図6】 本発明の実施形態1のアクティブマトリクス型有機EL表示装置の1画素あたりの別の回路構成を示す図である。

【図7】 本発明の実施形態1のアクティブマトリクス型有機EL表示装置の1画素あたりのさらに別の回路構成を示す図である。

【図8】 図7に示す回路構成を備えた本実施形態1に

28

係るアクティブマトリクス型有機ELパネルの平面構成図である。

【図9】 図8のA-A、B-B、C-C線に沿った断面構成を示す図である。

【図10】 実施形態2に係るアクティブマトリクス型有機ELパネルの1画素あたりの平面図及び断面図である。

【図11】 実施形態2に係るアクティブマトリクス型有機ELパネルの1画素あたりの他の平面構成例である。

【図12】 実施形態3に係るアクティブマトリクス型有機ELパネルの1画素あたりの平面図である。

【図13】 実施形態3に係るアクティブマトリクス型有機ELパネルの1画素あたりの他の平面構成例である。

【図14】 実施形態2に係るアクティブマトリクス型有機ELパネルの1画素あたりの他の平面構成例である。

【図15】 第2TFTの能動層16と有機EL素子50の陽極52とのコンタクト部における断面及び平面構造を示す図である。

【図16】 実施形態3に係る第2TFTの能動層16と有機EL素子50の陽極52とのコンタクト部における断面及び平面構造例を示す図である。

【図17】 実施形態3に係る第2TFTの能動層16と有機EL素子50の陽極52とのコンタクト部における他の断面構造例を示す図である。

【図18】 実施形態3に係る第2TFTの能動層16と有機EL素子50の陽極52とのコンタクト部における他の断面構造例を示す図である。

【図19】 実施形態3に係る第2TFTの能動層16と有機EL素子50の陽極52とのコンタクト部における他の断面構造例を示す図である。

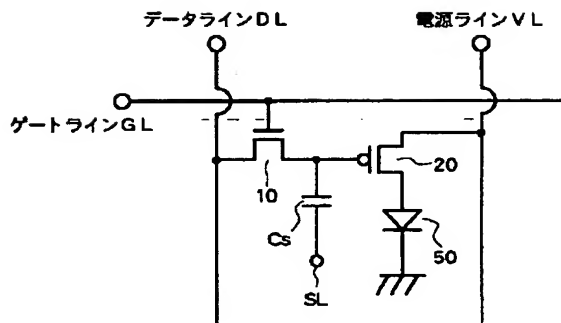
【図20】 実施形態3に係る第2TFTの能動層16と有機EL素子50の陽極52とのコンタクト部における他の断面構造例を示す図である。

【符号の説明】

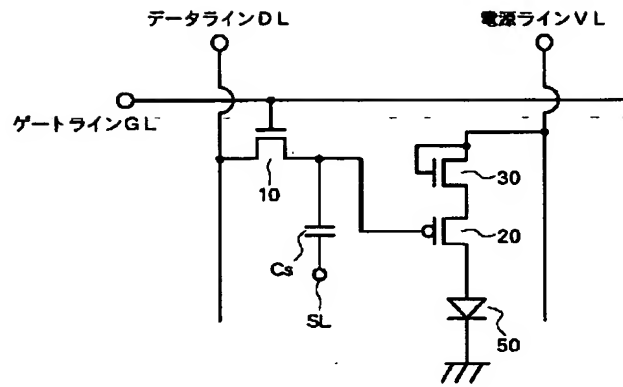
1 基板（透明基板）、2, 25, 35 ゲート電極、4 ゲート絶縁膜、6, 16 能動層（p-si膜）、10 第1TFT（スイッチング用TFT）、14 層間絶縁膜、18 平坦化絶縁層、20, 22, 24 第2TFT（素子駆動用TFT）、30, 32, 34 補償用TFT、40, 42 コネクタ（配線層）、41 金属接続層、50 有機EL素子、51 発光素子層、52 陽極、53 第1ホール輸送層、54 第2ホール輸送層、55 有機発光層、56 電子輸送層、57 陰極、GL ゲートライン、VL 電源ライン、DL データライン。

(16)

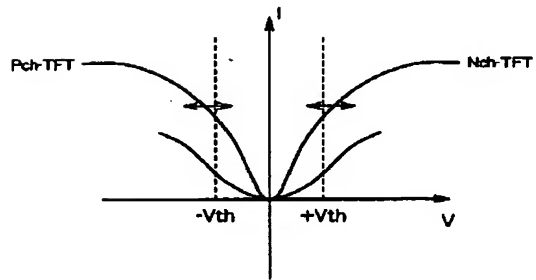
【図1】



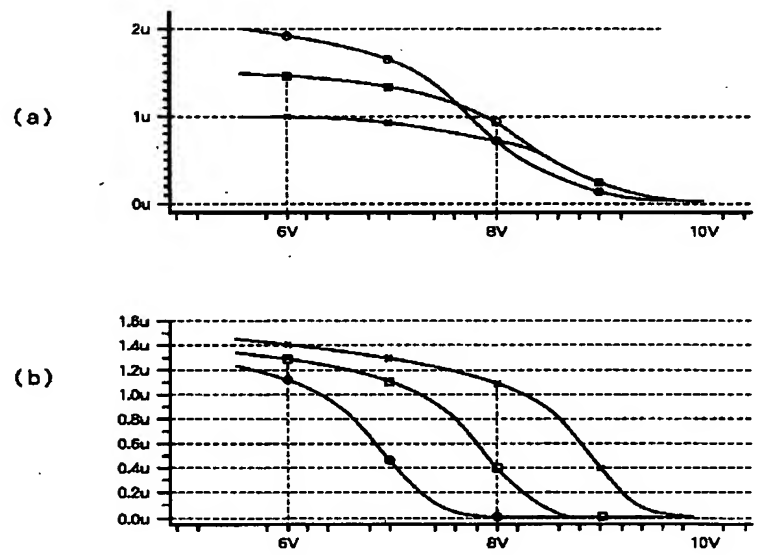
【図2】



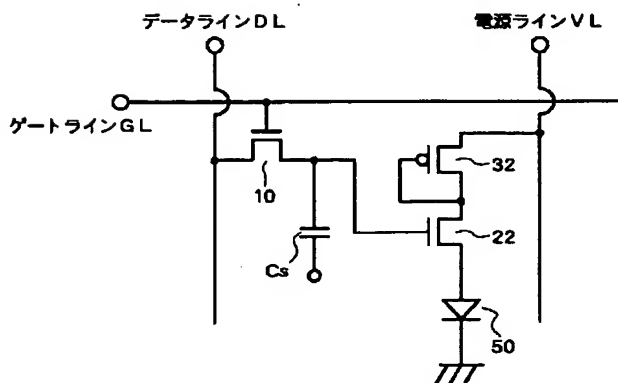
【図3】



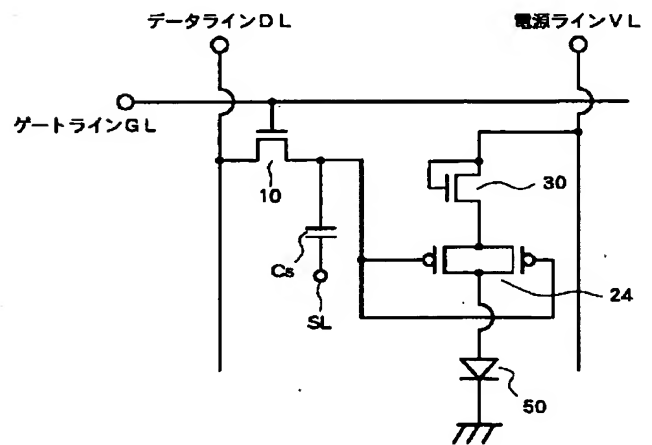
【図4】



【図5】



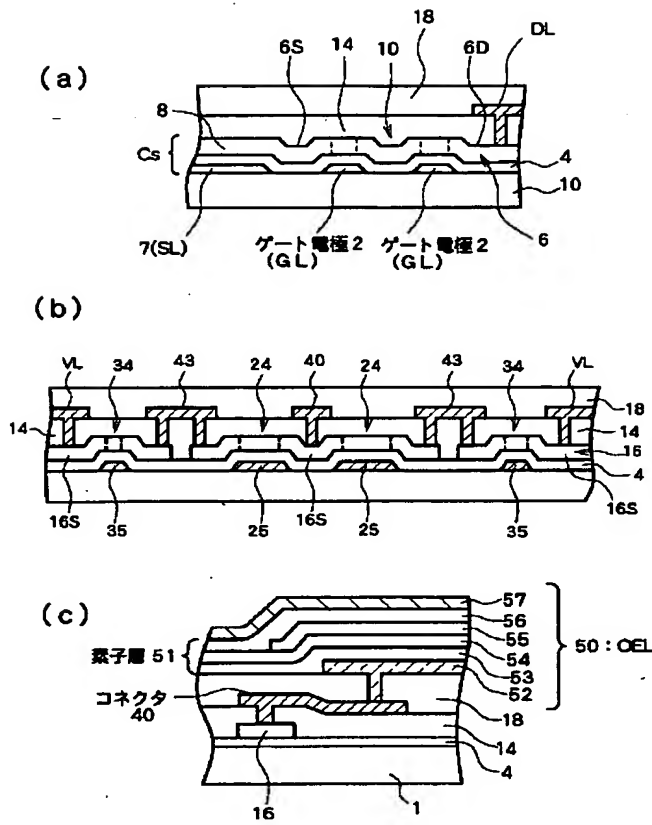
【図6】



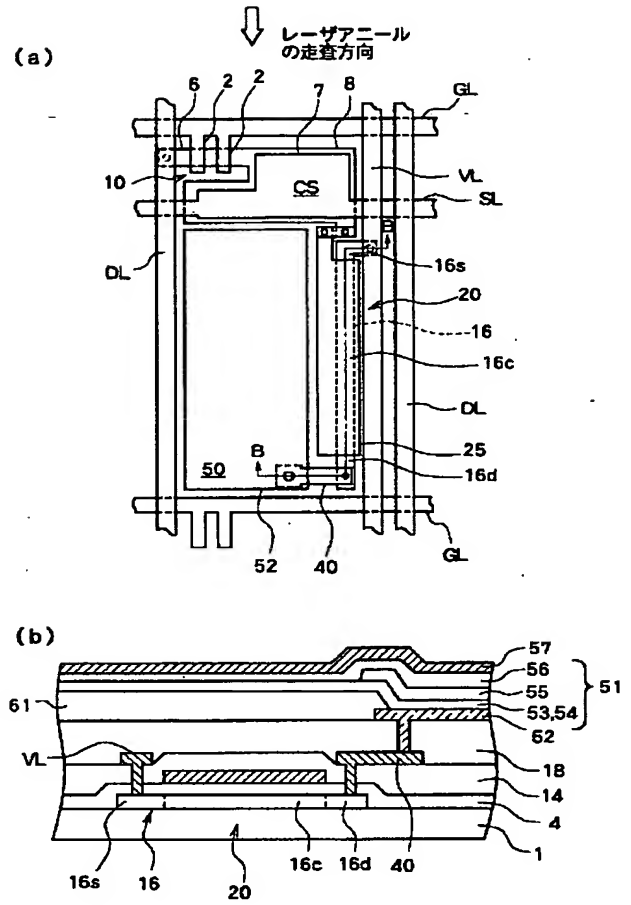


(18)

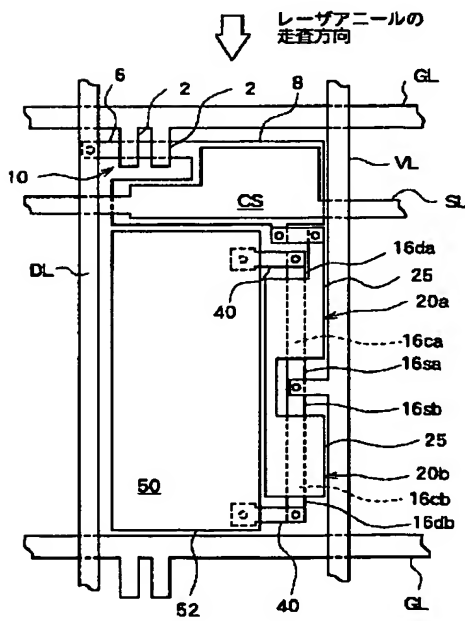
【図9】



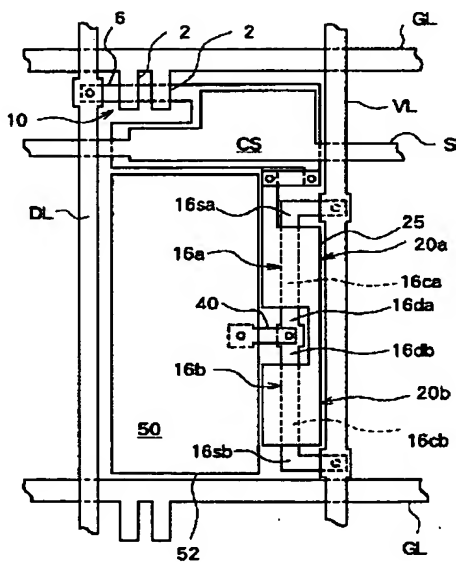
【図10】



【図11】

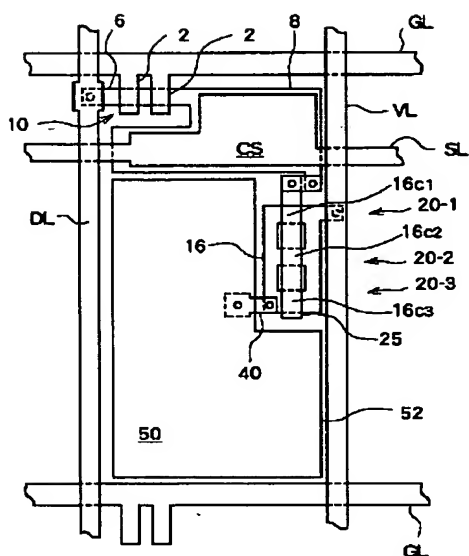


【図12】

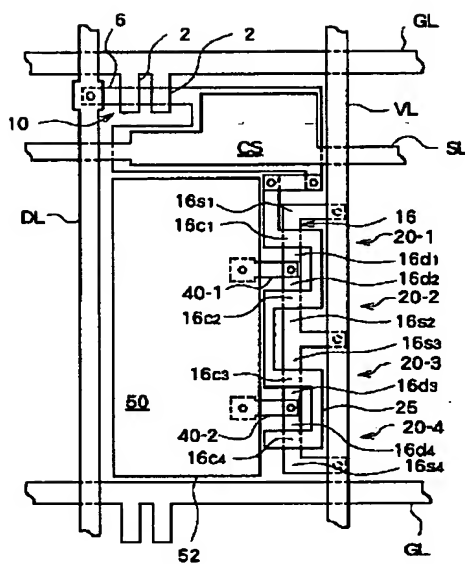


(19)

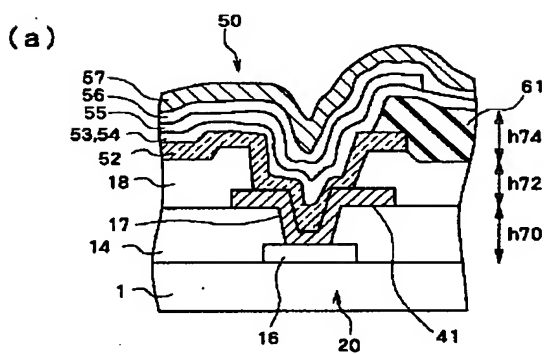
【図13】



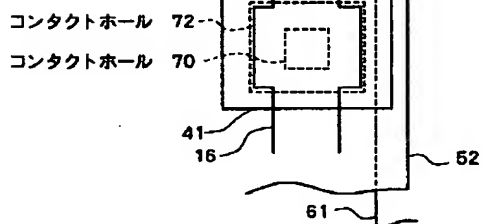
【図14】



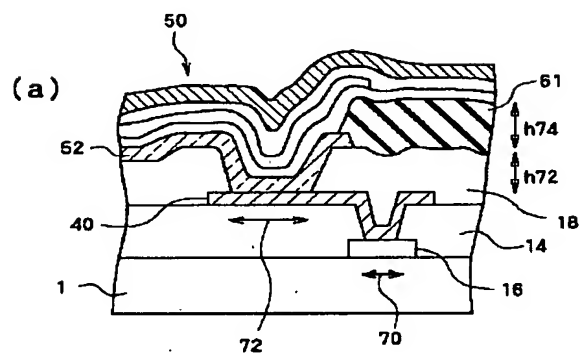
【図15】



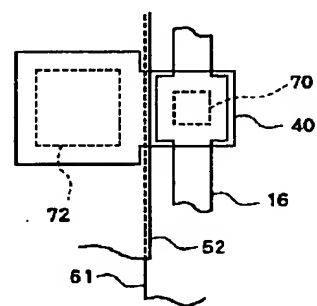
(b)



【図16】

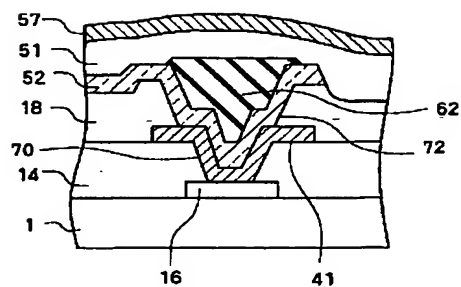


(b)



(20)

【図20】



フロントページの続き

(51) Int. Cl. 7  
H 0 5 B 33/14

識別記号

F I  
H 0 1 L 29/78

テームコード (参考)

6 1 2 D  
6 2 7 G

F ターム (参考) 3K007 AB00 AB02 BA06 CB01 DA00  
DB03 EB00 FA01  
5C094 AA03 AA25 AA53 AA55 BA03  
BA29 CA19 EA04 EA07  
5F048 AC04 BA16 BB09 BE08 BF02  
BF12 BF16 BG07  
5F052 AA02 BA01 BA07 DA02 JA01  
5F110 AA30 BB01 CC02 CC08 EE28  
GG02 GG13 GG26 HJ01 HL03  
HL04 HL07 HM18 NN73 PP03  
PP05 PP06



【公報種別】公開特許公報の訂正

【部門区分】第6部門第2区分

【発行日】平成14年10月3日(2002.10.3)

【公開番号】特開2002-175029(P2002-175029A)

【公開日】平成14年6月21日(2002.6.21)

【年通号数】公開特許公報14-1751

【出願番号】特願2001-279802(P2001-279802)

【訂正要旨】分類誤載につき下記の通り訂正する。

【記】

【国際特許分類第7版】

【誤】

G09F 9/30 365 Z

H01L 21/20

21/336

27/08 331 E

29/786

H05B 33/14 A

【正】

G09F 9/30 365 Z

338

H01L 21/20

21/336

27/08 331 E

29/786

H05B 33/14 A